

Docket No.: SON-2919
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Naoyuki Itakura et al

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: February 10, 2004

For: DISPLAY DEVICE AND METHOD OF
DRIVING SAME

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign applications filed in the following foreign country on the date indicated:

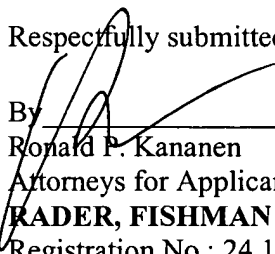
<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2003-041642	February 19, 2003

In support of this claim, a certified copy of said original foreign application is filed herewith.

Dated: February 10, 2004

Lion Building
1233 20th Street, N.W., Suite 501
Washington, D.C. 20036
Tel: (202) 955-3750
Fax: (202) 955-3751

Respectfully submitted,

By 

Ronald P. Kananen
Attorneys for Applicant
RADER, FISHMAN & GRAUER, PLLC
Registration No.: 24,104
(202) 955-3750

Customer No. 23353

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 4 1 6 4 2
Application Number:

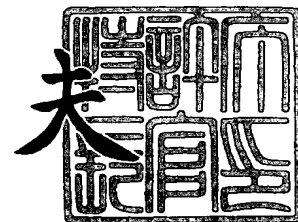
[ST. 10/C] : [J P 2 0 0 3 - 0 4 1 6 4 2]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0390012802

【提出日】 平成15年 2月19日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36
G02F 1/33

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 板倉 直之

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 市川 弘明

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置およびその駆動方法

【特許請求の範囲】

【請求項 1】 解像度が異なる少なくとも第 1 のモードと当該第 1 のモードより解像度が低い第 2 のモードを有する表示装置であって、

スイッチング素子を通して画素データを画素セルに書き込む画素回路が少なくとも複数行のマトリクスを形成するように配置された画素部と、

上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、

上記画素回路の列配列に対応するように配置され、上記画素データを伝搬する少なくとも一つの信号ラインと、

上記第 1 のモード時には、上記各走査ラインを行方向に順に走査パルスにより走査して、走査ラインに接続された各画素回路を 1 行単位で順次選択する処理を行い、上記第 2 のモード時には、隣接する複数の走査ライン毎に行方向に順に走査パルスにより走査して当該複数の走査ラインに接続された各画素回路を当該複数行単位で順次選択する処理を行う垂直駆動回路と

を有する表示装置。

【請求項 2】 上記垂直駆動回路は、上記第 2 のモード時には、同時並列的に走査する複数の走査ラインに出力する走査パルスを、前段の走査ラインに出力する走査パルスの後縁タイミングを、次段の走査ラインに出力する走査パルスの後縁タイミングより先に設定する

請求項 1 記載の表示装置。

【請求項 3】 上記信号ラインに画素データを選択して供給するセレクトスイッチを有するセクタを含み、上記セレクトスイッチは対応する信号ラインに対して複数のスイッチが並列に接続されており、上記第 1 のモード時には上記複数のスイッチを導通させて、当該複数のスイッチを通して選択画素データを信号ラインに出力し、上記第 2 のモード時には、上記複数のスイッチのうちのいずれかのスイッチを導通させて、当該スイッチを通して選択画素データを信号ラインに出力する水平駆動回路を有する

請求項 1 記載の表示装置。

【請求項 4】 上記信号ラインに画素データを選択して供給するセレクトスイッチを有するセクタを含み、上記セレクトスイッチは対応する信号ラインに対して複数のスイッチが並列に接続されており、上記第 1 のモード時には上記複数のスイッチを導通させて、当該複数のスイッチを通して選択画素データを信号ラインに出力し、上記第 2 のモード時には、上記複数のスイッチのうちのいずれかのスイッチを導通させて、当該スイッチを通して選択画素データを信号ラインに出力する水平駆動回路を有する

請求項 2 記載の表示装置。

【請求項 5】 上記信号ラインを複数有し、
上記複数の信号ラインを複数のグループに分割し、分割グループ毎に対応して、信号ラインに画素データを供給する複数の水平駆動回路を有する

請求項 1 記載の表示装置。

【請求項 6】 上記信号ラインを複数有し、
上記複数の信号ラインを複数のグループに分割し、分割グループ毎に対応して、信号ラインに画素データを供給する複数の水平駆動回路を有し、

上記各水平駆動回路は、上記信号ラインに画素データを選択して供給するセレクトスイッチを有するセクタを含み、上記セレクトスイッチは対応する信号ラインに対して複数のスイッチが並列に接続されており、上記第 1 のモード時には上記複数のスイッチを導通させて、当該複数のスイッチを通して選択画素データを信号ラインに出力し、上記第 2 のモード時には、上記複数のスイッチのうちのいずれかのスイッチを導通させて、当該スイッチを通して選択画素データを信号ラインに出力する

請求項 1 記載の表示装置。

【請求項 7】 上記信号ラインを複数有し、
上記複数の信号ラインを複数のグループに分割し、分割グループ毎に対応して、信号ラインに画素データを供給する複数の水平駆動回路を有し、

上記各水平駆動回路は、上記信号ラインに画素データを選択して供給するセレクトスイッチを有するセクタを含み、上記セレクトスイッチは対応する信号ラ

インに対して複数のスイッチが並列に接続されており、上記第1のモード時には上記複数のスイッチを導通させて、当該複数のスイッチを通して選択画素データを信号ラインに出力し、上記第2のモード時には、上記複数のスイッチのうちのいずれかのスイッチを導通させて、当該スイッチを通して選択画素データを信号ラインに出力する

請求項2記載の表示装置。

【請求項8】 上記画素セルは液晶セルである

請求項1記載の表示装置。

【請求項9】 画素データを画素セルに書き込む画素回路が少なくとも複数行のマトリクスを形成するように配置された画素部と、上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインとを含む表示装置の駆動方法であって、

所定解像度の第1のモード時には、上記各走査ラインを行方向に順に走査パルスにより走査して、走査ラインに接続された各画素回路を1行単位で順次選択する処理を行い、

上記第1のモードより解像度が低い第2のモード時には、隣接する複数の走査ライン毎に行方向に順に走査パルスにより走査して当該複数の走査ラインに接続された各画素回路を当該複数行単位で順次選択する処理を行う

表示装置の駆動方法。

【請求項10】 上記第2のモード時には、同時並列的に走査する複数の走査ラインに出力する走査パルスを、前段の走査ラインに出力する走査パルスの後縁タイミングを、次段の走査ラインに出力する走査パルスの後縁タイミングより先に設定する

請求項9記載の表示装置の駆動方法。

【請求項11】 上記画素セルは液晶セルである

請求項9記載の表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置およびその駆動方法に係り、特に、解像度の異なる複数のモードに対応した表示が可能な表示装置およびその駆動方法に関するものである。

【 0 0 0 2 】

【従来の技術】

表示装置、たとえば液晶セルを画素の表示エレメント（電気光学素子）に用いた液晶表示装置は、薄型で低消費電力であるという特徴をいかして、たとえば携帯情報端末（Personal Digital Assistant : PDA）、携帯電話、デジタルカメラ、ビデオカメラ、パーソナルコンピュータ用表示装置等、幅広い電子機器に適用されている。

【 0 0 0 3 】

図 1 は、液晶表示装置の構成例を示すブロック図である。

液晶表示装置 1 は、図 1 に示すように、有効画素部 2、垂直駆動回路（VDRV）3、および水平駆動回路（HDRV）4 を有している。

【 0 0 0 4 】

有効画素部 2 は、複数の画素回路 2 1 が、マトリクス状に配列されている。

各画素回路 2 1 は、スイッチング素子として薄膜トランジスタ（TFT; thin film transistor）2 1 と、TFT 2 1 のドレイン電極（またはソース電極）に画素電極が接続れた液晶セル LC 2 1 と、TFT 2 1 のドレイン電極に一方の電極が接続された保持容量 Cs 2 1 により構成されている。

これら画素回路 2 1 の各々に対して、走査ライン 5 - 1 ~ 5 - m が各行ごとにその画素配列方向に沿って配線され信号ライン 6 - 1 ~ 6 - n が各列ごとにその画素配列方向に沿って配線されている。

そして、各画素回路 2 1 の TFT 2 1 のゲート電極は、各行単位で同一の走査ライン 5 - 1 ~ 5 - m にそれぞれ接続されている。また、各画素回路 2 1 のソース電極（または、ドレイン電極）は、各列単位で同一の信号ライン 6 - 1 ~ 6 - n に各々接続されている。

さらに、一般的な液晶表示装置においては、保持容量配線 Cs を独立に配線し、この保持容量配線と接続電極との間に保持容量 Cs 2 1 を形成するが、Cs は

、コモン電圧 V_{COM} と同相パルスが入力され、保持容量として用いる。

そして、各画素回路 21 の保持容量 C_{s21} の他方の電極は、1 水平走査期間 (1 H) 毎に極性が反転するコモン電圧 V_{COM} の供給ライン 7 に接続されている。

【0005】

各走査ライン 5-1 ~ 5-m は、垂直駆動回路 3 により駆動され、各信号ライン 6-1 ~ 6-n は水平駆動回路 4 により駆動される。

【0006】

垂直駆動回路 3 は、1 フィールド期間ごとに垂直方向 (行方向) に走査して走査ライン 5-1 ~ 5-m に接続された各画素回路 21 を行単位で順次選択する処理を行う。

すなわち、垂直駆動回路 3 から走査ライン 5-1 に対して走査パルス SP_1 が与えられたときには第 1 行目の各列の画素が選択され、走査ライン 5-2 に対して走査パルス SP_2 が与えられたときには第 2 行目の各列の画素が選択される。以下同様にして、走査ライン 5-3, ..., 5-m に対して走査パルス SP_3 , ..., SP_m が順に与えられる。

【0007】

図 2 は、一般的な液晶表示装置の垂直駆動回路の構成例を示す回路図である。なお、図 2 においては、奇数行目 (たとえば第 1 行目) の走査ライン 5-1 および次段の偶数行目 (たとえば第 2 行目) の走査ライン 5-2 を駆動する回路を例に示している。

【0008】

この垂直駆動回路 3 は、図 2 に示すように、レベルシフタ付シフトレジスタ (S/R) 31, 32、サンプリングラッチ ($EnbSML$) 33, 34、および負電源レベルシフタ ($NPLSFT$) 35, 36 を有している。

【0009】

図 3 (A) ~ (F) は、図 2 の回路のタイミングチャートである。図 3 (A) は各画素 PXL の保持容量 C_{s21} の他方の電極に供給される 1 水平走査期間 (1 H) 毎に極性が反転するコモン電圧 V_{COM} 、図 3 (B) は垂直走査の基準と

なる垂直クロック VCK、図 3 (C) はシフトレジスタ 31 の出力信号 S31、図 4 (D) はシフトレジスタ 32 の出力信号 S32、図 3 (E) は負電源レベルシフタ 35 の出力信号 S35、および図 3 (F) は負電源レベルシフタ 36 の出力信号 S36 をそれぞれ示している。

【0010】

シフトレジスタ 31, 32 には、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルス VST、垂直走査の基準となる互いに逆相の垂直クロック VCK, VCKX が供給される。

たとえば垂直クロック VCK は 0-3.3V の振幅のクロックとしてシフトレジスタ 31, 32 に供給されるが、シフトレジスタ 31, 32 では、3.3V から 7.3V へのレベルシフト動作が行われる。

また、サンプリングラッチ 33, 34 では、図 2 中に示すような共通のイネーブル信号 $enb/xenb$ を受けてシフトレジスタ 31, 32 の出力信号 S31, S32 をそれぞれサンプリングされてラッチされる。ここで、隣接する走査ラインのオン、オフされる期間がオーバーラップしないように、前段 (奇数段) の駆動信号の立ち下がりタイミングと後段 (偶数段) の駆動信号の立ち上がりのタイミングの間に所定の間隔をおく。

そして、負電源レベルシフタ 35, 36 には、それぞれ走査ライン 5-1, 5-2 の一端側が接続されており、サンプリングラッチ 33, 34 のラッチ信号を受けてたとえば 7.3V 程度の走査パルスとしての駆動信号 S35, S36 が走査ライン 5-1, 5-2 に順次に印加される。

また、負電源レベルシフタ 35, 36 は、0V を -4.8V のレベルシフトした駆動信号 S35, S36 走査ライン 5-1, 5-2 に供給し、非選択時の画素回路 221 の TFT21 を確実にオフさせる。

図 3 (A) ~ (F) に示すように、コモン電圧 VCOM がハイレベルをとる水平走査期間には、奇数行目の走査ライン 5-1 が駆動され、コモン電圧 VCOM がローレベルをとる次の水平走査期間に、偶数行目の走査ライン 5-2 が駆動される。

このように、1 水平走査期間毎に、第 1 行目の走査ライン 5-1 から第 m 行目

の走査ライン 5-n にかけて順次に駆動されていく。

【0011】

水平駆動回路 4 は、図示しないクロックジェネレータにより供給されるセレクトラパルス SEL, XSEL をレベルシフトする回路であり、入力される映像信号を線順次で各画素回路に書き込みを行っている。

【0012】

また、たとえば低温ポリシリコンを用いた液晶表示装置における水平駆動回路では、図 4 に示すように、セレクトスイッチ 81-R, 81-G, 81-B、
・ ・ ・、84-R, 84-G, 84-B、
・ ・ ・、(8n-R, 8n-G, 8n-B) を有するセクタ 8 を設けて、セレクトスイッチにより画素回路 21 に書き込むべきデータ信号 SDT1~SDT4,
・ ・ を選択して各信号ライン 6-1~6-n に供給して、映像を描いている。

液晶表示装置において、色の 3 原色である R (赤) データ、G (緑) データ、および B (青) データを各信号ラインに順次に供給し、具体的には、まず R データを各信号ライン 6-1~6-n に供給し、次に、G データを各信号ライン 6-1~6-n に供給し、最後に B データを各信号ライン 6-1~6-n に供給して、各画素回路 21 に書き込み映像を描く。

したがって、各信号ライン 6-1~6-n に対しては、それぞれ 3 つのセレクトスイッチが接続される。

図 4 は、R 対応のセレクトスイッチ 81-R~84-R のみをオンされている状態を示している。R データの書き込みが終了すると、G 対応のセレクトスイッチ 81-G~84-G のみをオンさせて G データを書き込む。G データの書き込みが終了すると、B 対応のセレクトスイッチ 81-B~84-B にみをオンさせて B データを書き込む。

【0013】

セクタ 8 の各セレクトスイッチ 81-R, 81-G, 81-B、
・ ・ ・、84-R, 84-G, 84-B、
・ ・ ・、(8n-R, 8n-G, 8n-B) は、図 5 に示すように、p チャネル MOS (PMOS) トランジスタと n チャネル MOS (NMOS) トランジスタのソース・ドレイン同士を接続した転送ゲート T

MG-R, TMG-G, TMG-Bにより構成される。

各転送ゲートは相補的レベルをとるセレクト信号SEL1, XSEL1, SEL2, XSEL2, SEL3, XSEL3によりそれぞれ導通制御される。

具体的には、Rデータ用セクタスイッチ81-R～84-Rを構成する転送ゲートTMG-Rはセレクト信号SEL1, XSEL1により導通制御される。Gデータ用セクタスイッチ81-G～84-Gを構成する転送ゲートTMG-Gはセレクト信号SEL2, XSEL2により導通制御される。Bデータ用セクタスイッチ81-B～84-Bを構成する転送ゲートTMG-Bはセレクト信号SEL3, XSEL3により導通制御される。

【0014】

図6は、セクタ8の転送ゲートTGM(-R)の駆動回路の構成例を示す図である。

この転送ゲート駆動回路9は、外部回路(IC)によるセレクト信号SEL, XSELのレベルを-2.7Vから7.3Vにレベルシフトするレベルシフタ91と、たとえばCMOSインバータを2個直列に接続したバッファ92, 93により構成される。

【0015】

【発明が解決しようとする課題】

ところで、近年、PDA等に携帯端末装置に対して、より高精細な表示パネル、たとえば写真などのグラフィック画像を閲覧する場合、高精細な画質が得られるVGAモード(640×480)で表示を行う表示パネルの搭載の要望が高まっている。

【0016】

上述した液晶表示装置をVGAモードで動作させる場合、垂直駆動回路3は、画素数に1対1で対応した出力のみ有し、解像度が固定であることから、VGAモード対応の垂直駆動回路を搭載する必要がある。

ところが、PDA等は、通常、スケジュール管理等の高精細な表示を必要としない、たとえばQVGAモード(320×240)での表示で十分な用途が多いにもかかわらず、動作時のクロック周波数の高いVGAモードで駆動する必要がある。

あることから、無駄な電力を消費してしまう。

【0017】

また、VGAモードの液晶表示装置を実現する場合、パネル内負荷、特に、信号ラインの容量、負荷がQVGAモードに比べて増大するため、図6に示すように、水平駆動回路4のセクタ8のセクタスイッチとしての転送ゲートを構成するトランジスタサイズ、および転送ゲート駆動回路9のバッファ92, 93を構成するトランジスタサイズを大きくし、駆動能力を大きくする必要がある。

しかし、この場合も、垂直駆動回路の課題と同様に、PDA等は、通常、スケジュール管理等の高精細な表示を必要としない、たとえばQVGAモード(320×240)での表示で十分な用途が多いにもかかわらず、VGAモードに対応するように駆動能力を大きくしたトランジスタサイズの転送ゲート、バッファを用いることから、無駄な電力を消費してしまう。

【0018】

本発明の目的は、複数の解像度に対応した駆動能力を選択でき、用途に応じた駆動を行うことができ、低消費電力化を実現することができる表示装置およびその駆動方法を提供することにある。

【0019】

【課題を解決するための手段】

上記目的を達成するため、本発明の第1の観点は、解像度が異なる少なくとも第1のモードと当該第1のモードより解像度が低い第2のモードを有する表示装置であって、スイッチング素子を通して画素データを画素セルに書き込む画素回路が少なくとも複数行のマトリクスを形成するように配置された画素部と、上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、上記画素回路の列配列に対応するように配置され、上記画素データを伝搬する少なくとも一つの信号ラインと、上記第1のモード時には、上記各走査ラインを行方向に順に走査パルスにより走査して、走査ラインに接続された各画素回路を1行単位で順次選択する処理を行い、上記第2のモード時には、隣接する複数の走査ライン毎に行方向に順に走査パルスにより走査して当該複数の走査ラインに接続された各画素回路を当該複数行単位で順次選択

する処理を行う垂直駆動回路とを有する。

【0020】

好適には、上記垂直駆動回路は、上記第2のモード時には、同時並列的に走査する複数の走査ラインに出力する走査パルスを、前段の走査ラインに出力する走査パルスの後縁タイミングを、次段の走査ラインに出力する走査パルスの後縁タイミングより先に設定する。

【0021】

好適には、上記信号ラインに画素データを選択して供給するセレクトスイッチを有するセクタを含み、上記セレクトスイッチは対応する信号ラインに対して複数のスイッチが並列に接続されており、上記第1のモード時には上記複数のスイッチを導通させて、当該複数のスイッチを通して選択画素データを信号ラインに出力し、上記第2のモード時には、上記複数のスイッチのうちのいずれかのスイッチを導通させて、当該スイッチを通して選択画素データを信号ラインに出力する水平駆動回路を有する。

【0022】

好適には、上記信号ラインを複数有し、上記複数の信号ラインを複数のグループに分割し、分割グループ毎に対応して、信号ラインに画素データを供給する複数の水平駆動回路を有する。

【0023】

本発明の第2の観点は、画素データを画素セルに書き込む画素回路が少なくとも複数行のマトリクスを形成するように配置された画素部と、上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインとを含む表示装置の駆動方法であって、所定解像度の第1のモード時には、上記各走査ラインを行方向に順に走査パルスにより走査して、走査ラインに接続された各画素回路を1行単位で順次選択する処理を行い、上記第1のモードより解像度が低い第2のモード時には、隣接する複数の走査ライン毎に行方向に順に走査パルスにより走査して当該複数の走査ラインに接続された各画素回路を当該複数行単位で順次選択する処理を行う。

【0024】

好適には、上記第 2 のモード時には、同時並列的に走査する複数の走査ラインに出力する走査パルスを、前段の走査ラインに出力する走査パルスの後縁タイミングを、次段の走査ラインに出力する走査パルスの後縁タイミングより先に設定する。

【 0 0 2 5 】

好適には、上記画素セルは液晶セルである。

【 0 0 2 6 】

本発明によれば、たとえば解像度が高い第 1 のモード時には、垂直駆動回路により、各走査ラインが行方向に順に走査パルスにより走査され、走査ラインに接続された各画素回路が 1 行単位で順次選択される。

また、第 1 のモードより解像度が低い第 2 のモード時には、垂直駆動回路により、隣接する複数の走査ライン毎に行方向に順に走査パルスにより走査され、複数の走査ラインに接続された各画素回路が当該複数行単位で順次選択される。

また、第 1 のモード時には、水平駆動回路のセクタにおいて複数のスイッチが導通されて、複数のスイッチを通して選択画素データが信号ラインに出力される。

第 2 のモード時には、水平駆動回路のセクタにおいて複数のスイッチのうちのいずれかのスイッチが導通されて、当該スイッチを通して選択画素データが信号ラインに出力される。

【 0 0 2 7 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 2 8 】

図 7 は、たとえば液晶セルを画素の表示エレメント（電気光学素子）として用いた本発明の一実施形態に係る液晶表示装置の構成例を示す図である。

本実施形態に係る液晶表示装置 1 0 0 は、2 つの解像度、すなわち第 1 のモードとしての V G A モード（6 4 0 × 4 8 0）と第 2 のモードとしての Q V G A モード（3 2 0 × 2 4 0）の 2 つのモードで、モードに応じた駆動能力を選択可能に構成される。

【0029】

本液晶表示装置100は、図7に示すように、有効画素部101、垂直駆動回路(VDRV)102、および水平駆動回路103を有している。

【0030】

有効画素部101は、複数の画素回路PXLが、マトリクス状に配列されている。具体的には、VGAに対応して640×480個の画素回路が配列されている。

各画素回路PXLは、スイッチング素子としてTFT（薄膜トランジスタ；thin film transistor）101と、TFT101のドレイン電極（またはソース電極）に画素電極が接続された液晶セルLC101と、TFT101のドレイン電極に一方の電極が接続された保持容量Cs101により構成されている。

これら画素回路PXLの各々に対して、走査ライン104-1～104-mが各行ごとにその画素配列方向に沿って配線され信号ライン105-1～105-nが各列ごとにその画素配列方向に沿って配線されている。

そして、各画素回路PXLのTFT101のゲート電極は、各行単位で同一の走査ライン104-1～104-mにそれぞれ接続されている。また、各画素回路PXLのソース電極（または、ドレイン電極）は、各列単位で同一の信号ライン105-1～105-nに各々接続されている。

さらに、一般的な液晶表示装置においては、保持容量配線Csを独立に配線し、この保持容量配線と接続電極との間に保持容量Cs101を形成するが、Csは、コモン電圧VCOMと同相パルスが入力され、保持容量として用いている。

そして、各画素回路PXLの保持容量Cs101の他方の電極は、1水平走査期間（1H）または2水平走査期間（2H）毎に極性が反転するコモン電圧VCOMの供給ライン106に接続されている。

【0031】

各走査ライン104-1～104-mは、垂直駆動回路102により駆動され、各信号ライン105-1～105-nは水平駆動回路103により駆動される。

【0032】

垂直駆動回路102は、互いに逆相のモード信号QTRをハイレベル、XQTRをローレベルで受けると、VGAモードであると判断し、1フィールド期間ごとに垂直方向（行方向）に走査して走査ライン104-1～104-mに接続された各画素回路PXL Cを1行単位で順次選択する処理を行う。

すなわち、垂直駆動回路102は、図8（A）～（E）に示すように、走査ライン104-1に対して走査パルスSP101を与えて第1行目の各列の画素が選択し、走査ライン104-2に対して走査パルスSP102を与えて第2行目の各列の画素を選択する。以下同様にして、走査ライン104-3, ..., 104-mに対して走査パルスSP103, ..., SP10nを順に与える。

このVGAモード時には、コモン電圧VCOMは、1水平走査期間（1H）毎に極性が反転する。

【0033】

垂直駆動回路102は、互いに逆相のモード信号QTRをローレベル、XQTRをローレベルで受けると、QVGAモードであると判断し、2フィールド期間ごとに垂直方向（行方向）に走査して走査ライン104-1～104-mに接続された各画素回路PXL Cを2行単位で順次選択する処理を行う。

すなわち、垂直駆動回路102は、図9（A）～（E）に示すように、走査ライン104-1および走査ライン104-2に対して同時に走査パルスSP101, SP102を与えて第1行目および第2行目の各列の画素を選択し、走査ライン104-3および走査ライン104-4に対して走査パルスSP103, SP104を与えて第3行目および第4行目各列の画素を選択する、以下同様にして、走査ライン104-m-1, 104-mに対して走査パルスSP10m-1 SP10mを順に与える。

このQVGAモード時には、コモン電圧VCOMは、2水平走査期間（1H）毎に極性が反転する。

【0034】

図10は、本実施形態に係る垂直駆動回路の構成例を示す回路図である。なお、図10においては、奇数行目（たとえば第1行目）の走査ライン104-1および次段の偶数行目（たとえば第2行目）の走査ライン104-2を駆動する

回路を例に示している。

【0035】

この垂直駆動回路102は、図10に示すように、レベルシフタ付シフトレジスタ(S/R)1021、1022、切替回路1023、サンプリングラッチ(EnbSML)1024、1025、および負電源レベルシフタ(NPLSFT)1026、1027を有している。

【0036】

シフトレジスタ1021、1022には、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルスVST、垂直走査の基準となる互いに逆相の垂直クロックVCK、VCKXが供給される。

たとえば垂直クロックVCKは0-3.3Vの振幅のクロックとしてシフトレジスタ31、32に供給される。

シフトレジスタ1021は、3.3Vから7.3Vへのレベルシフト動作を行い、信号S1021を切替回路1023に出力する。

シフトレジスタ1022は、3.3Vから7.3Vへのレベルシフト動作を行い、シフトレジスタ1021の出力信号S1021より1水平走査期間分遅れた信号S1022を切替回路1023に出力する。

【0037】

切替回路1023は、モード信号QTR、XQTRがVGAモードを示しているときには、シフトレジスタ1021の出力信号S1021およびシフトレジスタ1022の出力信号S1022を受けて、信号S1021およびS1022を入力時の差のまま、すなわち、信号S1022が信号S1021より1水平走査期間分遅れたまま、それぞれ信号S1023aおよびS1023bとしてそれぞれサンプリングラッチ1024、1025に出力する。

【0038】

切替回路1023は、モード信号QTR、XQTRがQVGAモードを示しているときには、シフトレジスタ1021の出力信号S1021およびシフトレジスタ1022の出力信号S1022を受けて、信号S1021およびS1022を合成したパルスを生成し、信号S1023aおよびS1023bとしてそれぞれ

れサンプリングラッチ 1024, 1025 に出力する。

【0039】

切替回路 1023 は、図 10 に示すように、2 入力 NAND 回路 NA101 ~ NA104、および 3 入力 NAND 回路 NA105, NA106 を有している。

NAND 回路 NA101 の第 1 入力端子がモード信号 QTR の供給ラインに接続され、第 2 入力端子がシフトレジスタ 1021 の信号 S1021 の出力ラインに接続され、出力端子が NAND 回路 NA105 の第 1 入力端子に接続されている。

NAND 回路 NA102 の第 1 入力端子がシフトレジスタ 1021 の信号 S1021 の出力ラインに接続され、第 2 入力端子がモード信号 XQTR の供給ラインに接続され、出力端子が NAND 回路 NA105 の第 2 入力端子および NAND 回路 NA106 の第 1 入力端子に接続されている。

NAND 回路 NA103 の第 1 入力端子がシフトレジスタ 1022 の信号 S1022 の出力ラインに接続され、第 2 入力端子がモード信号 XQTR の供給ラインに接続され、出力端子が NAND 回路 NA105 の第 3 入力端子および NAND 回路 NA106 の第 2 入力端子に接続されている。

NAND 回路 NA104 の第 1 入力端子がモード信号 XQTR の供給ラインに接続され、第 2 入力端子がシフトレジスタ 1022 の信号 S1022 の出力ラインに接続され、出力端子が NAND 回路 NA106 の第 3 入力端子に接続されている。

【0040】

以上の構成において、切替回路 1023 は、モード信号 QTR がハイレベル、XQTR がローレベルで入力されると、信号 S1021 および S1022 を入力時の差のまま、すなわち、信号 S1022 が信号 S1021 より 1 水平走査期間分遅れたまま、それぞれ信号 S1023a および S1023b としてそれぞれサンプリングラッチ 1024, 1025 に出力する。

また、切替回路 1023 は、モード信号 QTR がローレベル、XQTR がハイレベルで入力されると、信号 S1021 および S1022 を合成したパルスを生成し、信号 S1023a および S1023b としてそれぞれサンプリングラッチ

1024, 1025に出力する。

【0041】

サンプリングラッチ1024は、あるデューティ比をもつ第1イネーブル信号 $enb1/xenb1$ を受けて切替回路1023の出力信号 $S1023a$ をサンプリングしてラッチする。

サンプリングラッチ1025は、図8中に示すような第1イネーブル信号 $enb1/xenb1$ と周期が同じでデューティが異なる（ハイレベルの期間が長い）第2イネーブル信号 $enb2/xenb2$ を受けて切替回路1023の出力信号 $S1023b$ をサンプリングしてラッチする。

サンプリングラッチ1024, 1025は、VGAモード時には、隣接する走査ラインのオン、オフされる期間がオーバーラップしないように、前段（奇数段）の駆動信号の立ち下がりタイミングと後段（偶数段）の駆動信号の立ち上がりのタイミングの間に所定の間隔をおく。

【0042】

また、サンプリングラッチ1024, 1025に異なるイネーブル信号を別々に供給しているのは、以下の理由による。

すなわち、VGAモードおよびQVGAモードの両モード時に、図11に示すように、一組のイネーブル信号 $enb/xenb$ のみの場合に、画素レイアウトに依存して偶数段目に横すじが生じる。

そこで、図12に示すように、奇数段目の走査パルス $SP101, SP103, \dots, SP10m-1$ の立ち下がりのタイミングを、偶数段目の走査パルス $SP102, SP104, \dots, SP10m1$ の立ち下がりのタイミングより早めて、換言すれば、奇数段目の走査パルス $SP101, SP103, \dots, SP10m-1$ の立ち下がりのタイミングより、偶数段目の走査パルス $SP102, SP104, \dots, SP10m1$ の立ち下がりのタイミングを遅らせることにより、それぞれ画素回路が受けるカップリング量を均一にして横すじを消滅させるために、あるデューティ比の第1イネーブル信号 $enb1/xenb1$ と第1イネーブル信号 $enb1/xenb1$ と周期が同じでデューティが異なる（ハイレベルの期間が長い）第2イネーブル信号 $enb2/xenb2$ とを用いている

。

【0043】

負電源レベルシフタ1026は、奇数行目の走査ライン104-1の一端側が接続されており、サンプリングラッチ1024のラッチ信号を受けてたとえば7.3V程度の走査パルスとしての駆動信号S1026を走査ライン104-1を印加する。

また、負電源レベルシフタ1026は、0Vを-4.8Vのレベルシフトした駆動信号S1026を走査ライン104-1に供給し、非選択時の画素回路PXL CのTFT101を確実にオフさせる。

【0044】

負電源レベルシフタ1027は、奇数行目の走査ライン104-2の一端側が接続されており、サンプリングラッチ1025のラッチ信号を受けてたとえば7.3V程度の走査パルスとしての駆動信号S1027を走査ライン104-2を印加する。

また、負電源レベルシフタ1027は、0Vを-4.8Vのレベルシフトした駆動信号S1027を走査ライン104-2に供給し、非選択時の画素回路PXL CのTFT101を確実にオフさせる。

【0045】

水平駆動回路4は、図示しないクロックジェネレータにより供給されるセレクトラパルスSEL, XSELをレベルシフトする回路であり、入力される映像信号を線順次で各画素回路に書き込みを行っている。

【0046】

また、水平駆動回路103は、図13に示すように、セレクトスイッチ1071-R, 1071-G, 1071-B、・・・、1074-R, 1074-G, 1074-B、・・・、(107n-R, 107n-G, 107n-B)を有するセクタ107を設けて、セレクトスイッチにより画素回路PXL Cに書き込むべきデータ信号SDT101～SDT104, ・・・を選択して各信号ライン105-1～105-nに供給して、映像を描かせる。

液晶表示装置100において、色の3原色であるR（赤）データ、G（緑）デ

ータ、およびB（青）データを各信号ラインに順次に供給し、具体的には、まずRデータを各信号ライン105-1～105-nに供給し、次に、Gデータを各信号ライン105-1～105-nに供給し、最後にBデータを各信号ライン105-1～105-nに供給して、各画素回路PXL Cに書き込み映像を描く。

したがって、各信号ライン105-1～105-nに対しては、それぞれ3組のつのセレクトスイッチが接続される。

図13は、R対応のセレクトスイッチ1071-R～1074-Rのみをオンされている状態を示している。Rデータの書き込みが終了すると、R対応のセレクトスイッチ1071-G～1074-GにのみをオンさせてGデータを書き込む。Gデータの書き込みが終了すると、B対応のセレクトスイッチ1071-B～1074-BにのみをオンさせてBデータを書き込む。

【0047】

セクタ107の各セレクトスイッチ1071-R, 1071-G, 1071-B、・・・、1074-R, 1074-G, 1074-B、・・・、(107n-R, 107n-G, 107n-B)は、図14に示すように、それぞれPMOSトランジスタとNMOSトランジスタのソース・ドレイン同士を接続した転送ゲートTMG-R1, TMG-R2, TMG-G1, TMG-G2, TMG-B1, TMG-B2により構成される。

すなわち、各セレクトスイッチは、たとえばトランジスタサイズが同じの一組の転送ゲートTMG-R1, TMG-R2を信号ラインに対して並列に接続し、VGAモード時には駆動能力を最大限発揮するために両転送ゲートTMG-R1, TMG-R2を用いて信号ラインを駆動し、QVGAモード時には、一方の転送ゲートTMG-R1のみを用いて信号ラインを駆動するように駆動制御される。

なお、図14においては、Rデータ用転送ゲートTMG-R1, TMG-R2のみについて記載しているが、Gデータ用転送ゲート、Bデータ用転送ゲートも同様に、一組の転送ゲートTMG-G1, TMG-G2およびBデータ用転送ゲートTMG-B1, TMG-B2により構成されている。

【0048】

各転送ゲートは相補的レベルをとるセレクト信号SEL101, XSEL101、SEL102, XSEL102、SEL103, XSEL103によりそれぞれ導通制御される。

具体的には、Rデータ用セクタスイッチ1071-R～1074-Rを構成する転送ゲートTMG-Rはセレクト信号SEL101, XSEL101により導通制御される。

Gデータ用セクタスイッチ1071-G～1074-Gを構成する転送ゲートTMG-Gはセレクト信号SEL102, XSEL102により導通制御される。

Bデータ用セクタスイッチ1071-B～1074-Bを構成する転送ゲートTMG-Bはセレクト信号SEL103, XSEL103により導通制御される。

【0049】

図14により本実施形態に係るセクタ107の転送ゲートTGM(－R1, －R2)の駆動回路の構成例を示す説明する。

この転送ゲート駆動回路108は、外部回路(IC)によるセレクト信号SEL, XSELのレベルを－2.7Vから7.3Vにレベルシフトするレベルシフタ1081と、2入力NAND回路1082と、インバータ1083と、たとえばCMOSインバータを2個直列に接続したバッファ1084～1087により構成される。

【0050】

レベルシフタ1081は、外部回路(IC)によるセレクト信号SEL, XSELのレベルを－2.7Vから7.3Vにレベルシフトして、アクティブでハイレベルのセレクト信号SELをNAND回路1082の第1入力端子、およびバッファ1085に出力し、セレクト信号XSELをバッファ10834に出力する。

NAND回路1082は、第2入力端子にモード信号QTRが供給され、セレクト信号SELとモード信号QTRの否定的論理積をとり、その結果を信号S1082としてバッファ1086およびインバータ1083を介してバッファ10

87に出力する。

バッファ1084の出力端子は転送ゲートTMG-R1を構成するPMOSトランジスタのゲートに接続され、バッファ1085の出力端子は転送ゲートTMG-R1を構成するNMOSトランジスタのゲートに接続されている。

バッファ1086の出力端子は転送ゲートTMG-R2を構成するPMOSトランジスタのゲートに接続され、バッファ1087の出力端子は転送ゲートTMG-R2を構成するNMOSトランジスタのゲートに接続されている。

【0051】

NAND回路1082は、セレクト信号SELをハイレベルで受けて、モード信号をVGAモードを示すハイレベルで受けるとローレベルの信号S1082を出力する。

この場合、バッファ1084の出力がローレベル、バッファ1085の出力がハイレベルとなり、バッファ1086の出力がローレベル、バッファ1087の出力がハイレベルとなり、2つの転送ゲートTMG-R1, TMG-R2共に導通状態に駆動制御される。

【0052】

NAND回路1082は、セレクト信号SELをハイレベルで受けて、モード信号をQVGAモードを示すローレベルで受けるとハイレベルの信号S1082を出力する。

この場合、バッファ1084の出力がローレベル、バッファ1085の出力がハイレベルとなり、バッファ1086の出力がハイレベル、バッファ1087の出力がローレベルとなり、1つの転送ゲートTMG-R1が導通状態に駆動制御され、転送ゲートTMG-R2が非導通状態に駆動制御される。

これによりQVGAモードにおいては、余分な電力を消費しなくてすみ、低消費電力を実現している。

【0053】

また、パネル内でそれぞれ2つのセクタスイッチとしての転送ゲートをオン／オフするタイミングパルスを生成していることから、入力インタフェースの入力ピン数の増加を防止している。

【0054】

次に、上記構成によるVGAモードおよびQVGAモード時の動作を、図15～図18に関連付けて説明する。

【0055】

まず、VGAモード時の動作を図15および図16(A)～(H)に関連付けて説明する。

図15はVGAモード時のモード信号QTR, XQTRが入力されたときの垂直駆動回路102の回路図である。

図16(A)は各画素回路PXL Cの保持容量Cs101の他方の電極に供給される1水平走査期間(1H)毎に極性が反転するコモン電圧VCOM、図16(B)は垂直走査の基準となる垂直クロックVCK、図16(C)はシフトレジスタ1021の出力信号S1021、図16(D)はシフトレジスタ1022の出力信号S1022、図16(E)は切替回路1023の出力信号S1023a、図16(F)は切替回路1023の出力信号S1023b、図16(G)はサンプリングラッチ1024の出力信号S1024、および図16(H)はサンプリングラッチ1025の出力信号S1025をそれぞれ示している。

【0056】

VGAモード時には、モード信号QTRがハイレベルで垂直駆動回路102に切替回路1023および水平駆動回路103に入力され、反転モード信号XSTRがローレベルで垂直駆動回路102の切替回路1023に入力される。

【0057】

垂直駆動回路102のシフトレジスタ1021, 1022には、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルスVST、垂直走査の基準となる互いに逆相の垂直クロックVCK, VCKXが供給される。

シフトレジスタ1021, 1022では、垂直クロックのレベルシフト動作が行われ、かつ、それぞれ異なる遅延時間で遅延され、図16(C), (D)に示すように、シフトレジスタ1021からは1水平走査期間中に信号S1021が切替回路1023に出力され、シフトレジスタ1022からは次の水平走査期間

中に信号 S1022 が切替回路 1023 に出力される。

【0058】

切替回路 1023 では、モード信号 QTR がハイレベルで入力され、反転モード信号 XQTR がローレベルで入力されていることから、NAND 回路 NA105 と NA106 から、図 16 (E), (F) に示すように、それぞれシフトレジスタ 1021, 1022 の出力信号 S1021, S1022 と同位相の信号 S1023a, S1023b が、水平走査期間毎に交互に、サンプリングラッチ 1024, 1025 に出力される。

【0059】

サンプリングラッチ 1024 では、図 15 中に示すようなデューティが 50% の第 1 イネーブル信号 enb1/xenb1 を受けて、図 16 (G) に示すように、切替回路 1023 の出力信号 S1023a がサンプリングされてラッチされ、負電源レベルシフタ 1026 出力される。

サンプリングラッチ 1025 では、第 2 イネーブル信号 enb2/xenb2 を受けて、図 16 (H) に示すように、切替回路 1023 の出力信号 S1023b がサンプリングされてラッチされ、負電源レベルシフタ 1026 出力される。

このとき、サンプリングラッチ 1024, 1025 では、VGA モード時には、隣接する走査ラインのオン、オフされる期間がオーバーラップしないように、前段 (奇数段) の駆動信号の立ち下がりタイミングと後段 (偶数段) の駆動信号の立ち上がりのタイミングの間に所定の間隔をおくように、信号 S1024, S1025 が出力される。

【0060】

そして、負電源レベルシフタ 1026, 1027 において、サンプリングラッチ 1024, 1025 のラッチ信号に対してたとえば 7.3V 程度の走査パルスとしての駆動信号 S1026, S1027 が走査ライン 104-1, 104-2 が順次に印加される。

また、負電源レベルシフタ 1026, 1027 では、0V が -4.8V にレベルシフトした駆動信号 S1026, S1027 が走査ライン 104-1, 104-2 に供給される。これにより。非選択時の画素回路 PXC の TFT101 を

確実にオフされる。

このVGAモード時には、図16 (A) ~ (H) に示すように、コモン電圧VCOMがハイレベルをとる水平走査期間には、奇数行目の走査ラインが駆動され、コモン電圧VCOMがローレベルをとる次の水平走査期間に、偶数行目の走査ラインが駆動される。

このように、1水平走査期間毎に、第1行目の走査ライン104-1から第m行目の走査ライン104-mにかけて順次に駆動されていく。

【0061】

水平駆動回路103においては、各信号ラインに対して並列接続されているRデータ用転送ゲートTMG-R1, TMG-R2、G用転送ゲートTMG-G1, TMG-G2およびBデータ用転送ゲートTMG-B1, TMG-B2が共に導通状態に順次に駆動制御される。

これにより、パネル内負荷、特に、信号ラインの容量、負荷が大ききVGAモード時には、信号ラインの駆動能力が最大源に発揮される。

【0062】

そして、水平駆動回路103では、示しないクロックジェネレータにより生成された水平走査の開始を指令する水平スタートパルスHST、水平走査の基準となる互いに逆相の水平クロックHCK, HCKXを受けてサンプリングパルスが生成され、入力される映像信号が生成したサンプリングパルスに応答して順次サンプリングされて、各画素回路PXLに書き込むべきデータ信号SDTとして各信号ライン105-1~105-nに供給される。

具体的には、まず、R対応のセレクトスイッチTMG-R1, TMG-R2が導通状態に駆動制御されてRデータが各信号ラインに出力されてRデータが書き込まれる。Rデータの書き込みが終了すると、G対応のセレクトスイッチTMG-G1, TMG-G2のみが導通状態に駆動制御されてGデータが各信号ラインに出力されて書き込まれる。Gデータの書き込みが終了すると、B対応のセレクトスイッチTMG-B1, TMG-B2のみが導通状態に駆動制御されてBデータが各信号ラインに出力されて書き込まれる。

【0063】

まず、VGAモード時の動作を図17および図18(A)～(H)に関連付けて説明する。

図17はQVGAモード時のモード信号QTR, XQTRが入力されたときの垂直駆動回路102の回路図である。

図18(A)は各画素回路PXL Cの保持容量Cs101の他方の電極に供給される2水平走査期間(2H)毎に極性が反転するコモン電圧VCOM、図18(B)は垂直走査の基準となる垂直クロックVCK、図18(C)はシフトレジスタ1021の出力信号S1021、図18(D)はシフトレジスタ1022の出力信号S1022、図18(E)は切替回路1023の出力信号S1023a、図18(F)は切替回路1023の出力信号S1023b、図18(G)はサンプリングラッチ1024の出力信号S1024、および図18(H)はサンプリングラッチ1025の出力信号S1025をそれぞれ示している。

【0064】

VGAモード時には、モード信号QTRがローレベルで垂直駆動回路102に切替回路1023および水平駆動回路103に入力され、反転モード信号XSTRがハイレベルで垂直駆動回路102の切替回路1023に入力される。

【0065】

垂直駆動回路102のシフトレジスタ1021, 1022には、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルスVST、垂直走査の基準となる互いに逆相の垂直クロックVCK, VCKXが供給される。

シフトレジスタ1021, 1022では、垂直クロックのレベルシフト動作が行われ、かつ、それぞれ異なる遅延時間で遅延され、図18(C), (D)に示すように、シフトレジスタ1021からは1水平走査期間中に信号S1021が切替回路1023に出力され、シフトレジスタ1022からは次の水平走査期間中に信号S1022が切替回路1023に出力される。

【0066】

切替回路1023では、モード信号QTRがローレベルで入力され、反転モード信号XQTRがハイレベルで入力されていることから、NAND回路NA10

5とNA106から、図18(E), (F)に示すように、シフトレジスタ1021, 1022の出力信号S1021およびS1022を合成したパルスを生成し、2水平走査期間中に信号S1023aおよびS1023bとしてそれぞれサンプリングラッチ1024, 1025に出力する。

【0067】

サンプリングラッチ1024では、図17中に示すようなデューティが50%の第1イネーブル信号enb1/xenb1を受けて、図18(G)に示すように、切替回路1023の出力信号S1023aがサンプリングされてラッチされ、負電源レベルシフタ1026出力される。

サンプリングラッチ1025では、図17中に示すような第1イネーブル信号enb1/xenb1と周期が同じでデューティが異なる(ハイレベルの期間が長い)第2イネーブル信号enb2/xenb2を受けて、図18(H)に示すように、切替回路1023の出力信号S1023bがサンプリングされてラッチされ、負電源レベルシフタ1026出力される。

このとき、サンプリングラッチ1024, 1025では、QVGAモード時には、奇数段目の走査パルスSP101, SP103, ..., SP10m-1の立ち下がりのタイミングを、偶数段目の走査パルスSP102, SP104, ..., SP10mの立ち下がりのタイミングより早めて、換言すれば、奇数段目の走査パルスSP101, SP103, ..., SP10m-1の立ち下がりのタイミングより、偶数段目の走査パルスSP102, SP104, ..., SP10mの立ち下がりのタイミングを遅らせて、信号S1025, S1026が出力される。

これにより、それぞれ画素回路が受けるカップリング量を均一にして横すじを消滅させる。

【0068】

そして、負電源レベルシフタ1026, 1027において、サンプリングラッチ1024, 1025のラッチ信号に対してたとえば7.3V程度の走査パルスとしての駆動信号S1026, S1027が走査ライン104-1, 104-2が順次に印加される。

また、負電源レベルシフタ 1026, 1027では、0Vが-4.8Vにレベルシフトした駆動信号 S1026, S1027が走査ライン 104-1, 104-2に供給される。これにより、非選択時の画素回路 PXL Cの TFT101を確実にオフされる。

この QVGAモード時には、図 18 (A) ~ (H) に示すように、コモン電圧 VCOMがハイレベルをとる 2 水平走査期間に、隣接する奇数行目と偶数行目の走査ラインが同時並列的に駆動され、コモン電圧 VCOMがローレベルをとる次の 2 水平走査期間に、次の隣接する奇数行目と偶数行目の走査ラインが同時並列的に駆動される。

このように、2 水平走査期間毎に、第 1 行目および第 2 行目の走査ライン 104-1, 104-2 から第 m-1 行目および第 2 m 行目の走査ライン 104-m-1, 104-m にかけて 2 行毎に順次に駆動されていく。

【0069】

水平駆動回路 103 においては、各信号ラインに対して並列接続されている 2 つの転送ゲート R データ用転送ゲート TMG-R1, TMG-R2、G データ用転送ゲート TMG-G1, TMG-G2 および B データ用転送ゲート TMG-B1, TMG-B2 にうち片方の転送ゲート TMG-R1, TMG-G1, TMG-B1 のみが導通状態に順次に駆動制御され、残りの転送ゲート TMG-R2, TMG-G2, TMG-B2 は非導通状態に保持される。

これにより、パネル内負荷、特に、信号ラインの容量、負荷が比較的小さい QVGAモード時には、信号ラインの駆動能力が VGAモード時の半分に制限され、無駄な電力を消費が防止される。

【0070】

そして、水平駆動回路 103 では、示しないクロックジェネレータにより生成された水平走査の開始を指令する水平スタートパルス HST、水平走査の基準となる互いに逆相の水平クロック HCK, HCKXを受けてサンプリングパルスが生成され、入力される映像信号が生成したサンプリングパルスに応答して順次サンプリングされて、各画素回路 PXL Cに書き込むべきデータ信号 SDTとして各信号ライン 105-1 ~ 105-n に供給される。

具体的には、まず、R対応のセレクトスイッチTMG-R1が導通状態に駆動制御されてRデータが各信号ラインに出力されてRデータが書き込まれる。Rデータの書き込みが終了すると、G対応のセレクトスイッチTMG-G1のみが導通状態に駆動制御されてGデータが各信号ラインに出力されて書き込まれる。Gデータの書き込みが終了すると、B対応のセレクトスイッチTMG-B1のみが導通状態に駆動制御されてBデータが各信号ラインに出力されて書き込まれる。

【0071】

以上説明したように、本実施形態によれば、互いに逆相のモード信号QTRをハイレベル、XQTRをローレベルで受けると、VGAモードであると判断し、1フィールド期間ごとに垂直方向（行方向）に走査して走査ライン104-1～104-mに接続された各画素回路PXL Cを1行単位で順次選択する処理を行い、モード信号QTRをローレベル、XQTRをローレベルで受けると、QVGAモードであると判断し、2フィールド期間ごとに垂直方向（行方向）に走査して走査ライン104-1～104-mに接続された各画素回路PXL Cを2行単位で順次選択する処理を行う垂直駆動回路102を設けたので、一つのパネルの2つの解像度を持つパネルを実現することができる。すなわち、複数の解像度に対応した駆動能力を選択でき、用途に応じた駆動を行うことができ、低消費電力化を実現することができる利点がある。

【0072】

また、本実施形態では、垂直駆動回路102は、奇数段目の走査パルスSP101, SP103, ..., SP10m-1の立ち下がりのタイミングを、偶数段目の走査パルスSP102, SP104, ..., SP10m1の立ち下がりのタイミングより早めて、換言すれば、奇数段目の走査パルスSP101, SP103, ..., SP10m-1の立ち下がりのタイミングより、偶数段目の走査パルスSP102, SP104, ..., SP10m1の立ち下がりのタイミングを遅らせることから、画素回路が受けるカップリング量を均一にして横すじを消滅させることが可能で、画質の向上を図れる利点がある。

【0073】

また、本実施形態では、セレクトスイッチ1071-R, 1071-G, 10

71-B、・・・、1074-R, 1074-G, 1074-B、・・・、(107n-R, 107n-G, 107n-B)を有するセクタ107を設け、各セクタスイッチ1071-R, 1071-G, 1071-B、・・・、1074-R, 1074-G, 1074-B、・・・、(107n-R, 107n-G, 107n-B)を、信号ラインに対して並列に接続されるトランジスタサイズが同等の2つの転送ゲートTMG-R1, TMG-R2、TMG-G1, TMG-G2、TMG-B1, TMG-B2により構成され、VGAモード時には駆動能力を最大限発揮するために両転送ゲートTMG-R1, TMG-R2を用いて信号ラインを駆動し、QVGAモード時には、一方の転送ゲートTMG-R1のみを用いて信号ラインを駆動するように駆動制御する水平駆動回路103を設けたので、複数の解像度に対応した駆動能力を選択でき、用途に応じた駆動を行うことができ、特にQVGAモード時の低消費電力化を実現することができる利点がある。

【0074】

図19は、本実施形態に係る水平駆動回路のセクタの電力消費についてのシミュレーション結果を示す図である。

この場合、セレクトスイッチのトランジスタサイズはチャネル幅Wが500 μ m、チャネル長Lが6 μ mのもを使用した。

図19に示すように、VGAモード時の消費電力が8.5 mWである。

また、QVGAモード時には、本実施形態に係る水平駆動回路を採用していない回路(Ref回路)では4.25 mWであるのに対して、本実施形態に係る水平駆動回路は2.13 mWとなっている。

すなわち、本実施形態に係る水平駆動回路は従来回路に比べて2 mW程度の電力消費を削減でき、VGAモードから6 mW程度の電力消費を削減できる。

【0075】

また、上述した水平駆動回路は一つの回路で全信号ライン(480本)を駆動する場合を例に説明したが、たとえば図20に示すように、第1の水平駆動回路103Aと第2の水平駆動回路103Bとを設けて、信号ラインを半分の240本ずつ駆動するように構成することも可能である。

この場合、解像度がVGAという多い画素数をもつパネルにおいて、パネル内負荷が増大するために、片側ではレイアウトエリアが大きくなり過ぎる、また片側で負荷大を駆動させようとした場合、トランジスタ数、サイズが大きくなり、セレクトスイッチをオンさせるパルスに遅延が生じ、誤差マージンが大きくなるということから、図20に示すように、第1の水平駆動回路103Aと第2の水平駆動回路103Bとを左右両側に配置することが望ましい。

第1の水平駆動回路103Aと第2の水平駆動回路103Bは、それぞれの配線を結線しないことで、製造における検査工程で、どちらの水平駆動回路に不良であるのか検査することができる。

【0076】

なお、上記実施形態では、液晶表示装置にデジタル映像信号を入力とし、セレクト方式にて線順次にて画素に映像信号を書き込む駆動回路を搭載した液晶表示装置に適用した場合について説明したが、アナログ映像信号を入力とし、これをラッチした後アナログ映像信号を点順次にて各画素に書き込むアナログインターフェース駆動回路を搭載した液晶表示装置にも、同様に適用可能である。

【0077】

また、上記実施形態においては、各画素の表示エレメント（電気光学素子）として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、液晶表示装置への適用に限られるものではなく、各画素の表示エレメントとしてエレクトロルミネッセンス（EL: electroluminescence）素子を用いたアクティブマトリクス型EL表示装置など、水平駆動回路にクロックドライブ方式を採用した点順次駆動方式のアクティブマトリクス型表示装置全般に適用可能である。

点順次駆動方式としては、周知の1H反転駆動方式やドット反転駆動方式の外に、映像信号を書き込んだ後の画素配列において、画素の極性が隣り合う左右の画素で同極性となり、かつ上下の画素で逆極性となるように、隣り合う画素列間で奇数行離れた2行、たとえば上下の2行の画素に互いに逆極性の映像信号を同時に書き込むいわゆるドットライン反転駆動方式などがある。

以上説明した実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表

示装置は、投写型液晶表示装置（液晶プロジェクタ）の表示パネル、すなわち L C D (liquid crystal display) パネルとして用いることが可能である。

【 0 0 7 8 】

【発明の効果】

以上説明したように、本発明によれば、複数の解像度に対応した駆動能力を選択でき、用途に応じた駆動を行うことができ、特に Q V G A モード時の低消費電力化を実現することができる利点がある。

また、画素回路が受けるカップリング量を均一にして横すじを消滅させることが可能で、画質の向上を図れる利点がある。

【図面の簡単な説明】

【図 1】

一般的な液晶表示装置の構成例を示すブロック図である。

【図 2】

従来の垂直駆動回路の構成を示す回路図である。

【図 3】

図 2 の回路の要部のタイミングチャートである。

【図 4】

水平駆動回路のセレクトの構成の概要を示す図である。

【図 5】

水平駆動回路のセレクトの具体的な構成例を示す回路図である。

【図 6】

図 5 のセレクトの転送ゲートの駆動回路の構成例を示す図である。

【図 7】

本発明の一実施形態に係る液晶表示装置の構成例を示す図である。

【図 8】

図 7 の垂直駆動回路の V G A モード時の駆動方法の概要を説明するための図である。

【図 9】

図 7 の垂直駆動回路の Q V G A モード時の駆動方法の概要を説明するための図

である。

【図 1 0】

本実施形態に係る垂直駆動回路の構成例を示す回路図である。

【図 1 1】

Q V G A モード時に発生するおそれのある横すじについての説明図である。

【図 1 2】

Q V G A モード時に発生するおそれのある横すじを消滅するための駆動方法を説明するための図である。

【図 1 3】

本実施形態に係る水平駆動回路のセレクトの概要を示す図である。

【図 1 4】

本実施形態に係る水平駆動回路のセレクトの転送ゲート駆動回路の構成例を示す回路図である。

【図 1 5】

V G A モード時のモード信号 Q T R, X Q T R が入力されたときの垂直駆動回路の回路図である。

【図 1 6】

V G A モード時のモード信号 Q T R, X Q T R が入力されたときの垂直駆動回路の動作を説明するためのタイミングチャートである。

【図 1 7】

Q V G A モード時のモード信号 Q T R, X Q T R が入力されたときの垂直駆動回路の回路図である。

【図 1 8】

Q V G A モード時のモード信号 Q T R, X Q T R が入力されたときの垂直駆動回路の動作を説明するためのタイミングチャートである。

【図 1 9】

本実施形態に係る水平駆動回路のセレクトの電力消費についてのシミュレーション結果を示す図である。

【図 2 0】

本発明に係る液晶表示装置の他の実施形態を示す図である。

【符号の説明】

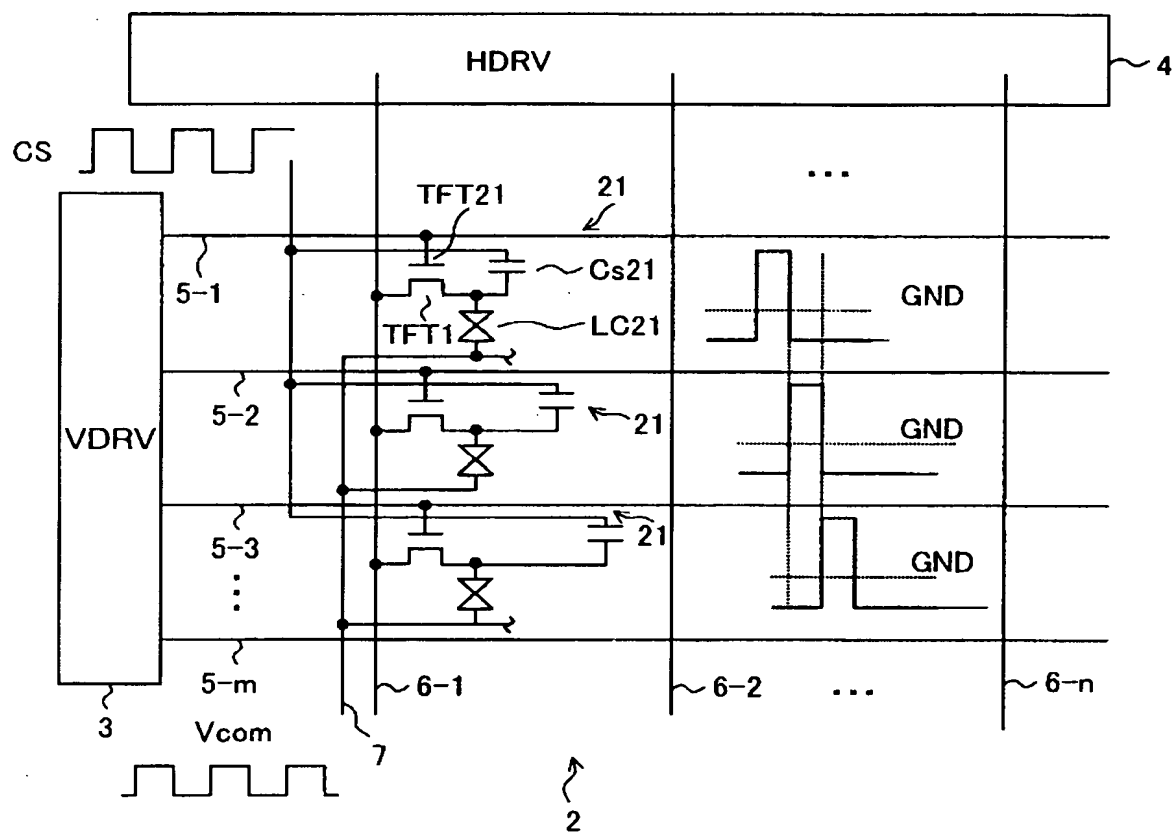
1 0 0 1, 1 0 0 A…液晶表示装置、1 0 1…有効画素部、1 0 2…垂直駆動回路（VDRV）、1 0 3, 1 0 3 A, 1 0 3 B…水平駆動回路（HDRV）、1 0 4 - 1 ~ 1 0 4 - m…走査ライン、1 0 5 - 1 ~ 1 0 5 - n…信号ライン、1 0 6…VCOM供給ライン、1 0 7…セクタ、1 0 8…転送ゲート駆動回路、PXLV画素回路、TFT 1 0 1…スイッチング素子、LC 1 0 1…液晶セル、Cs 1 0 1…保持容量。

【書類名】

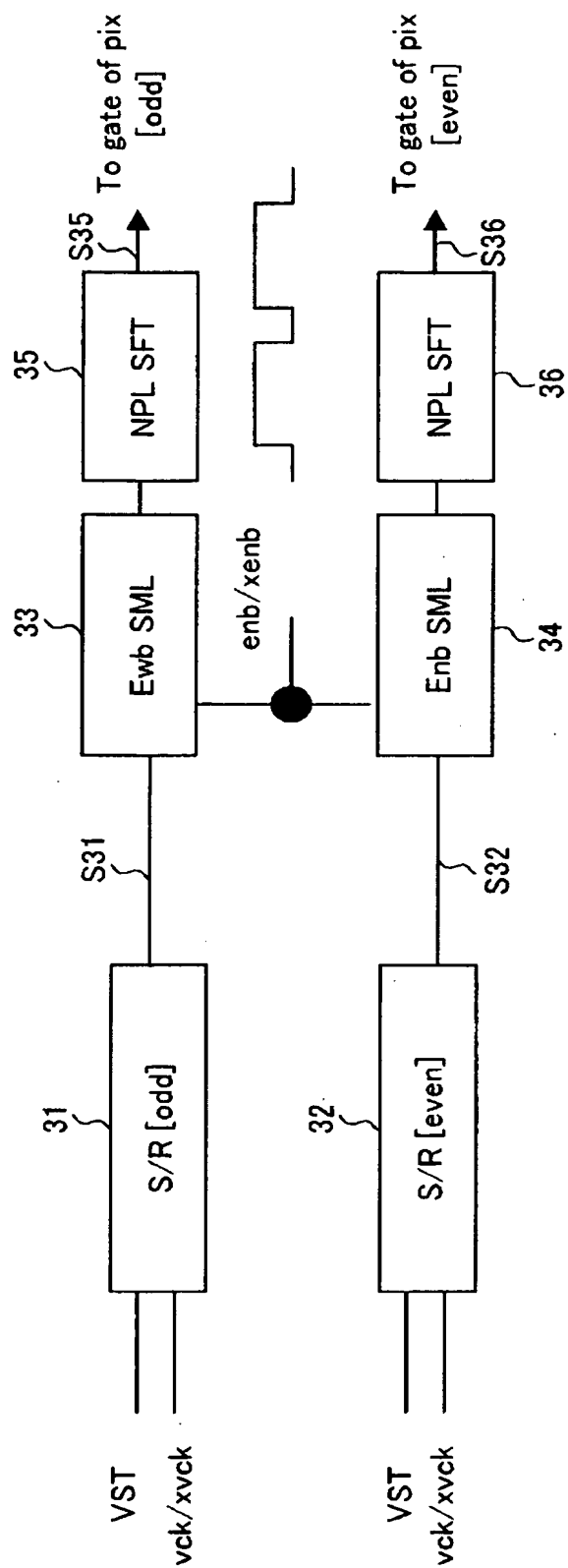
図面

【図 1】

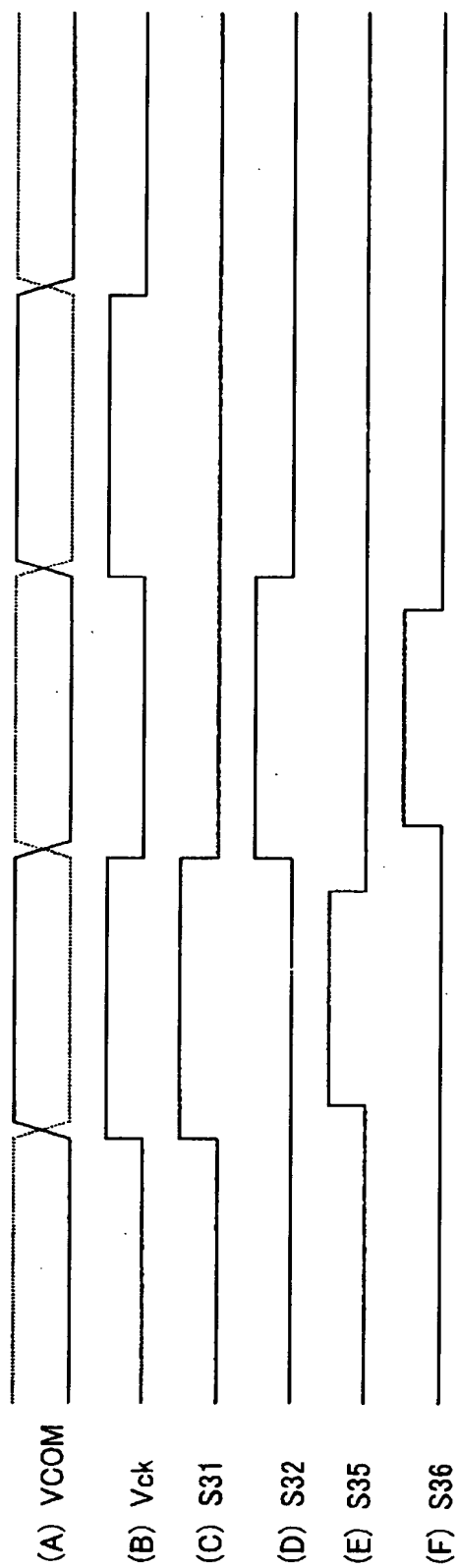
1



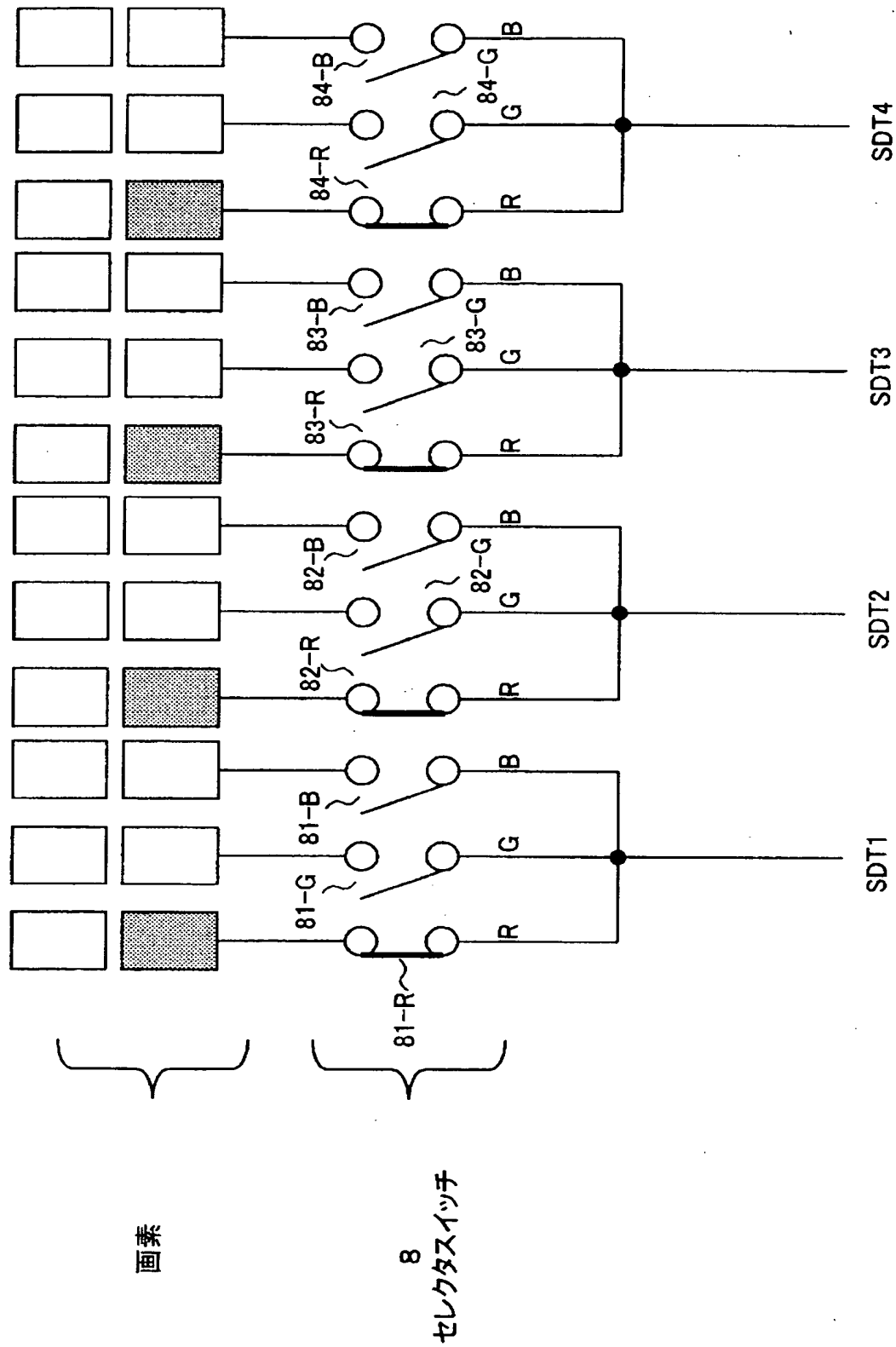
【図 2】



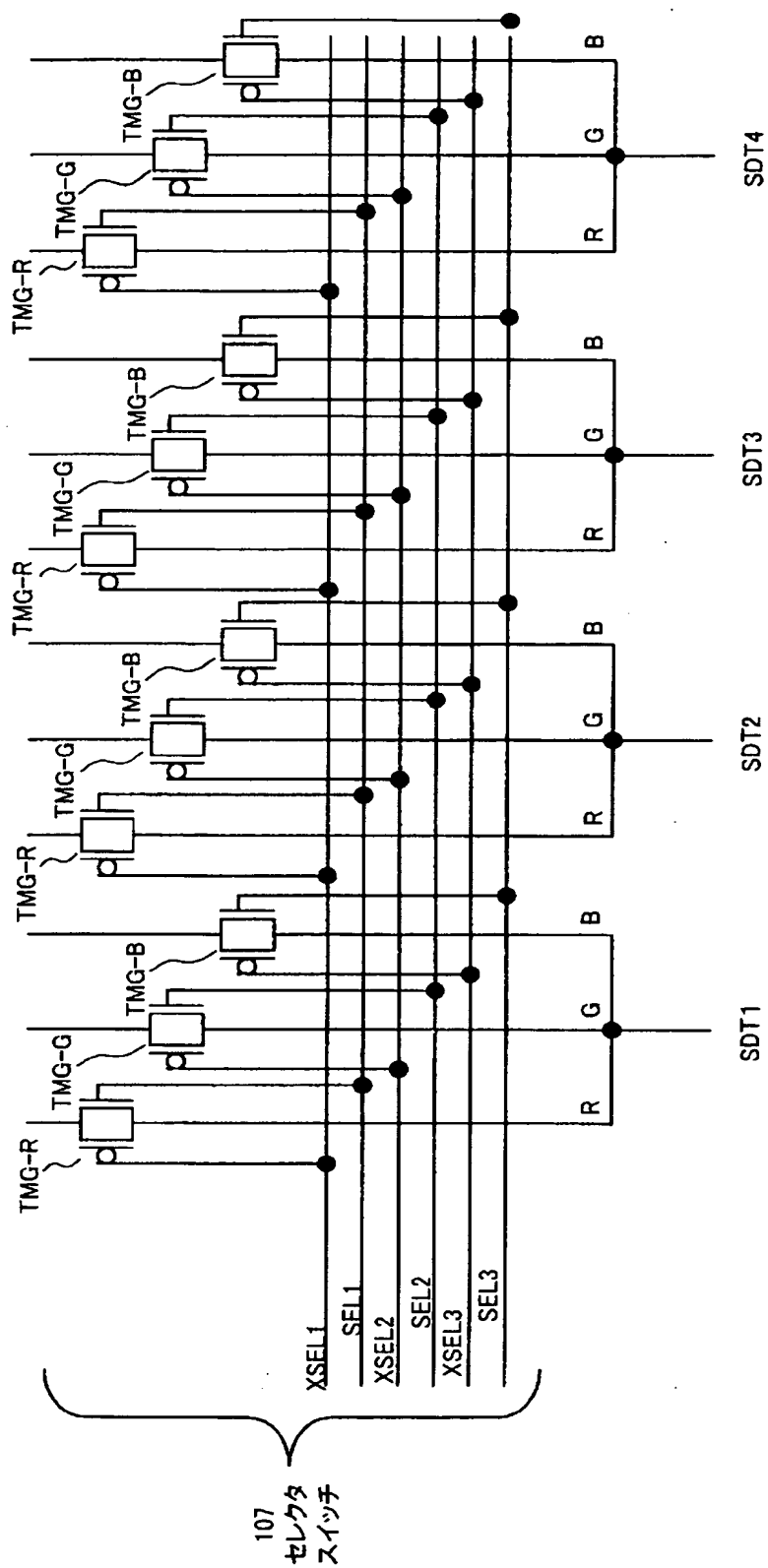
【図 3】



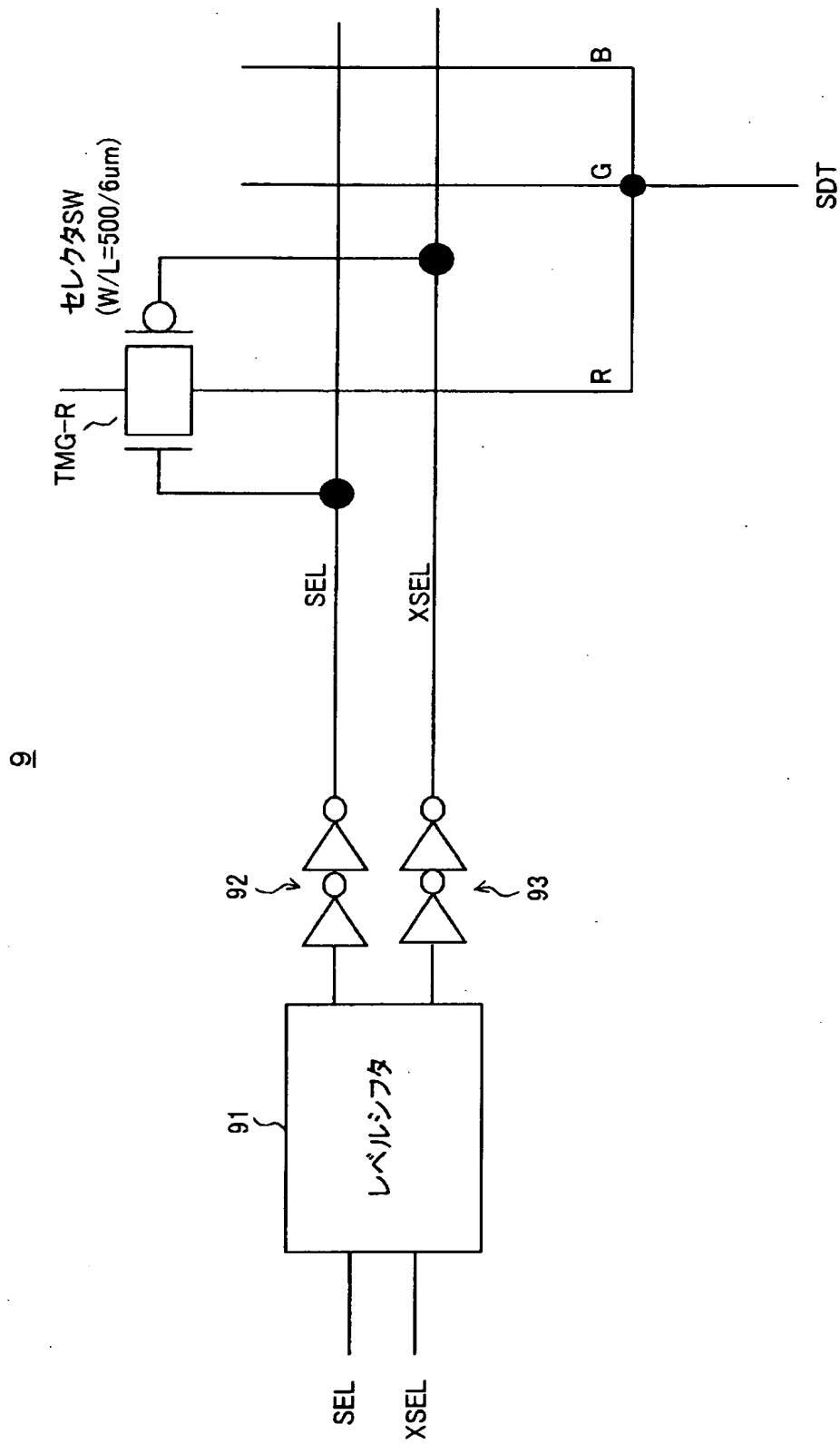
【図 4】



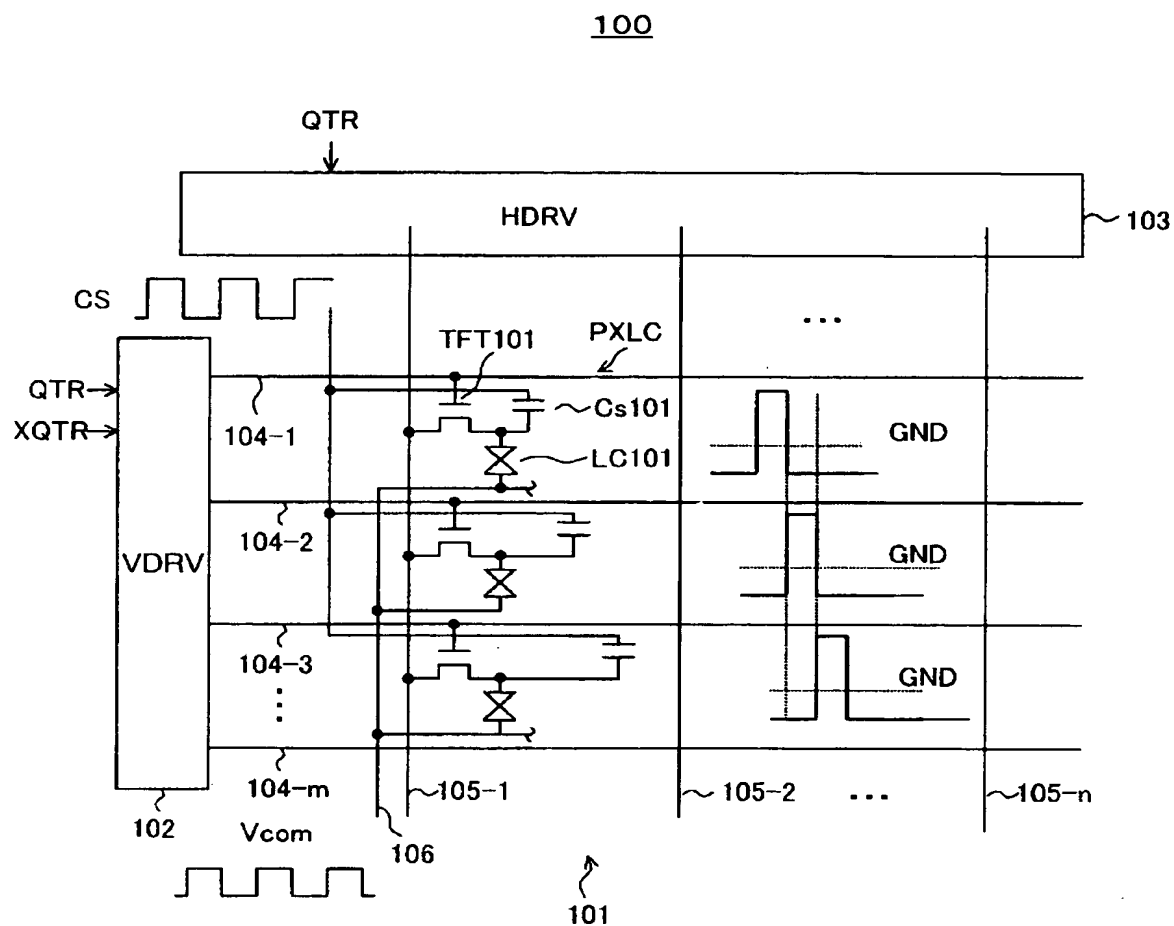
【図 5】



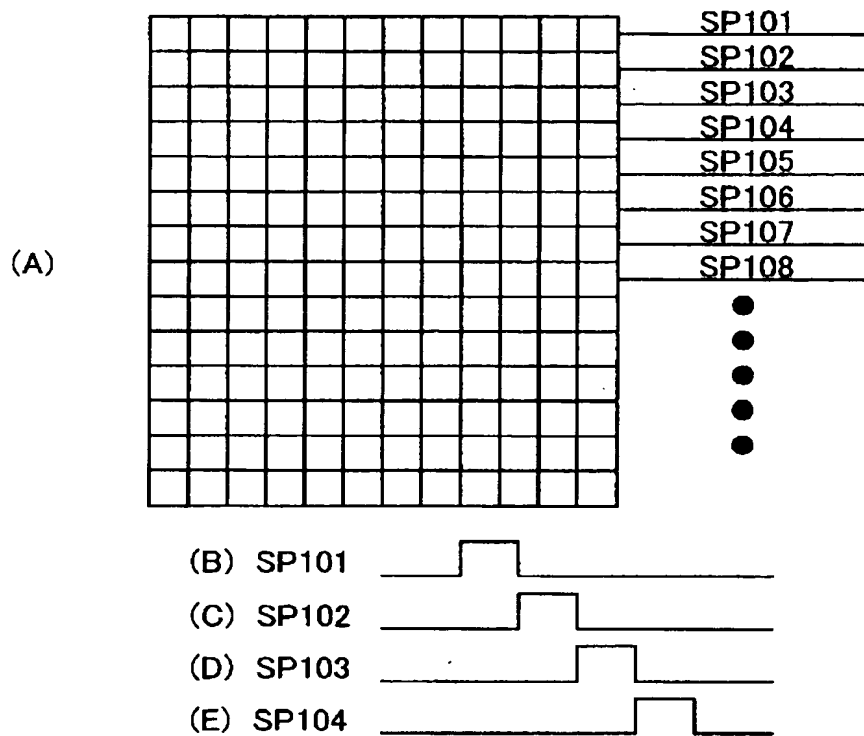
【図 6】



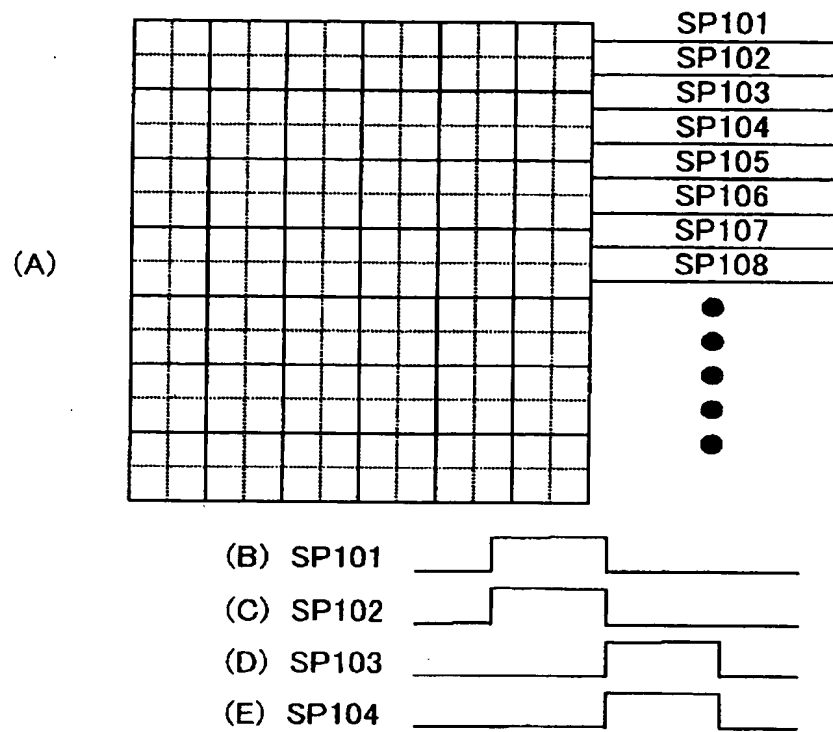
【図 7】



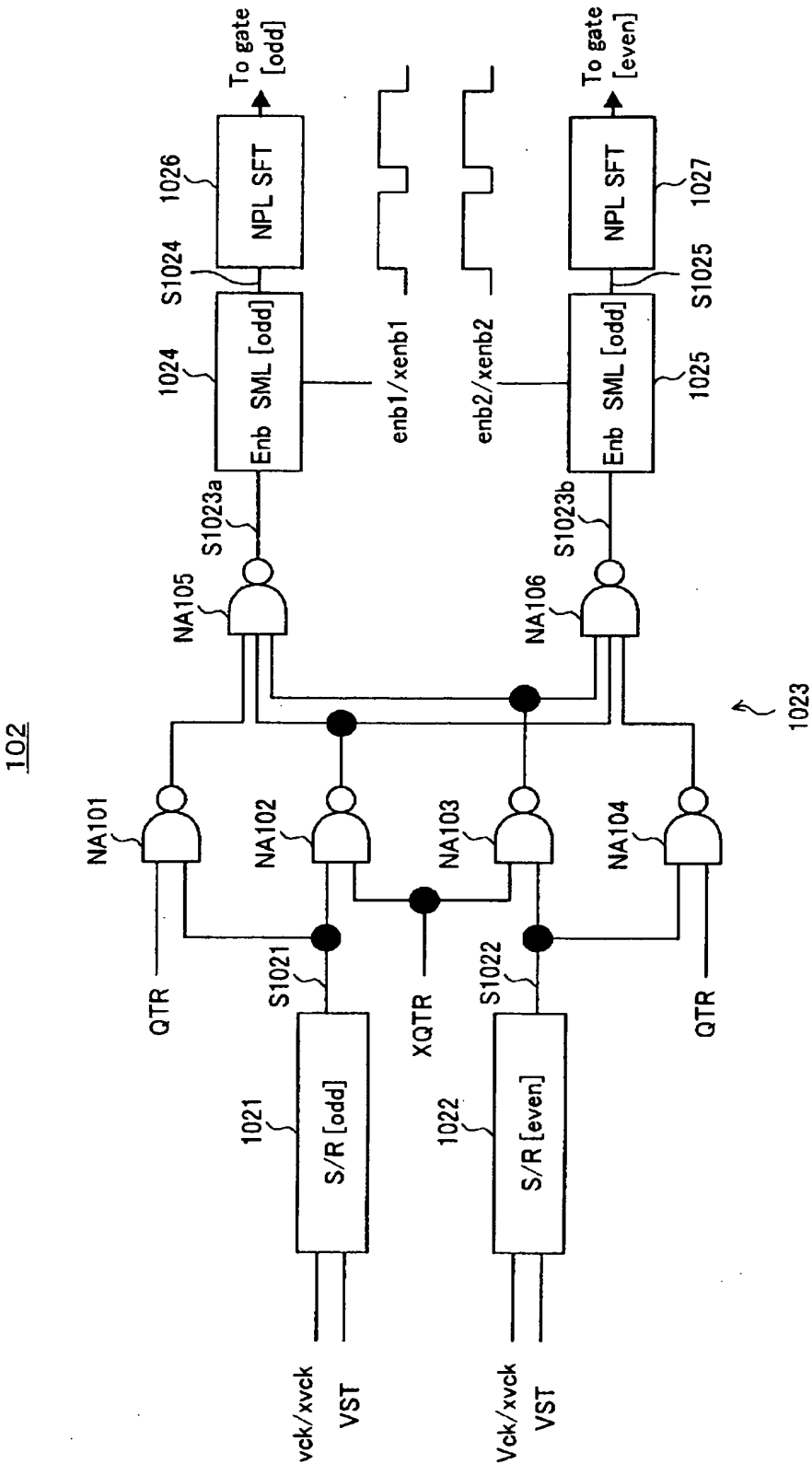
【図 8】



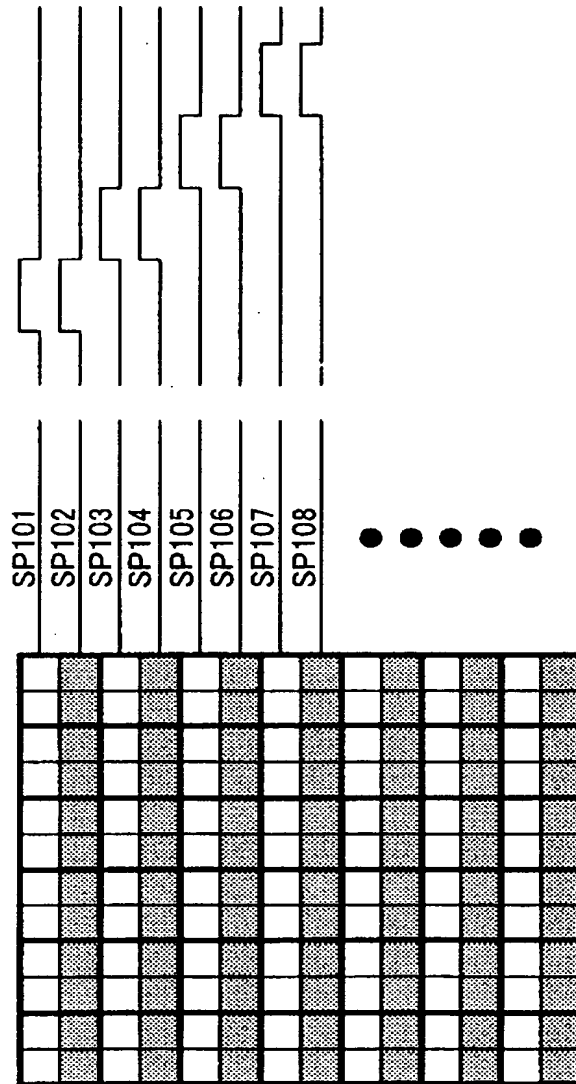
【図 9】



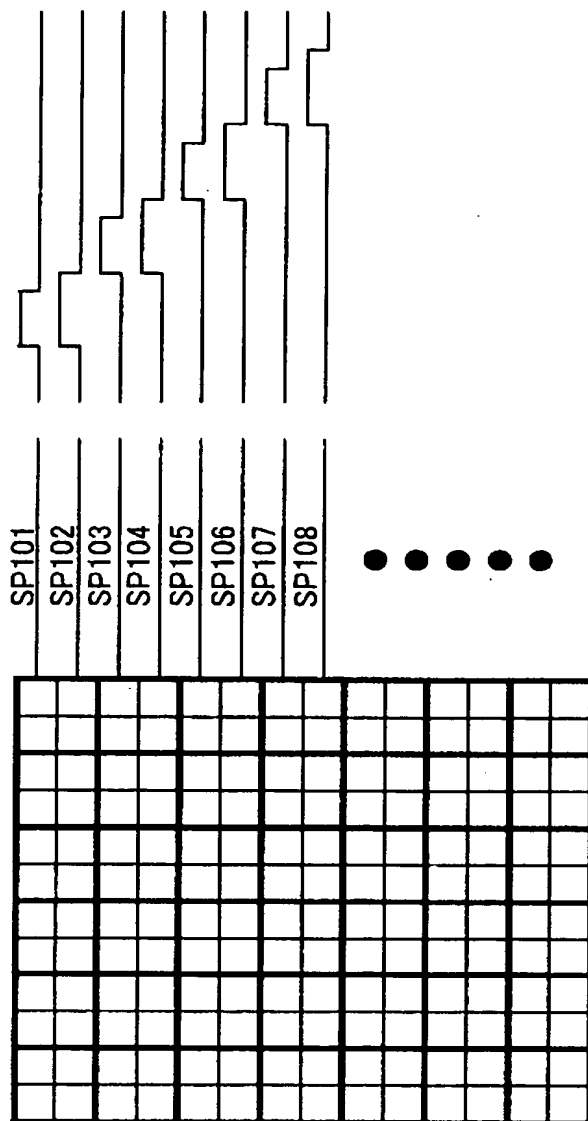
【図 10】



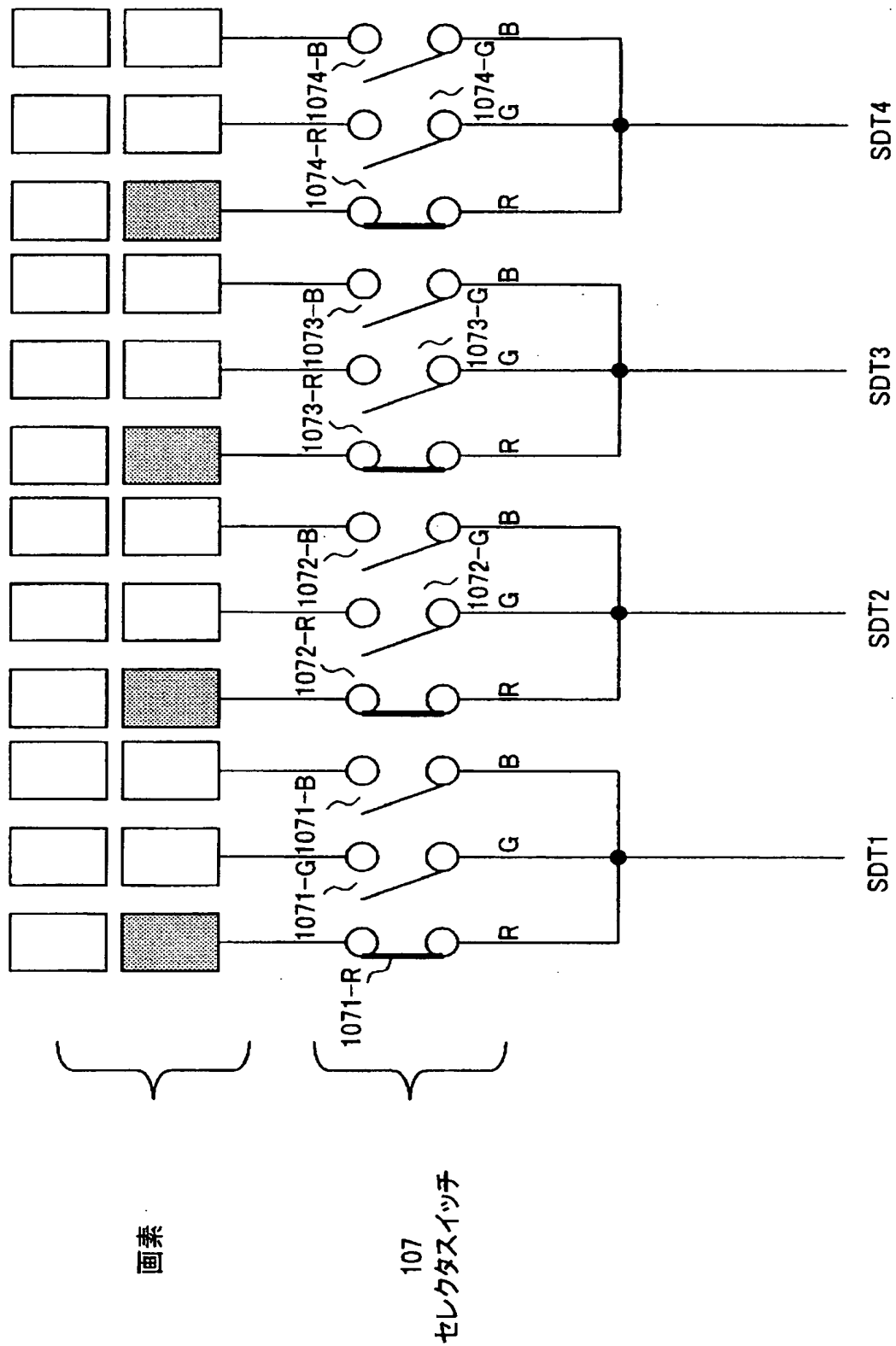
【図 11】



【図 1 2】

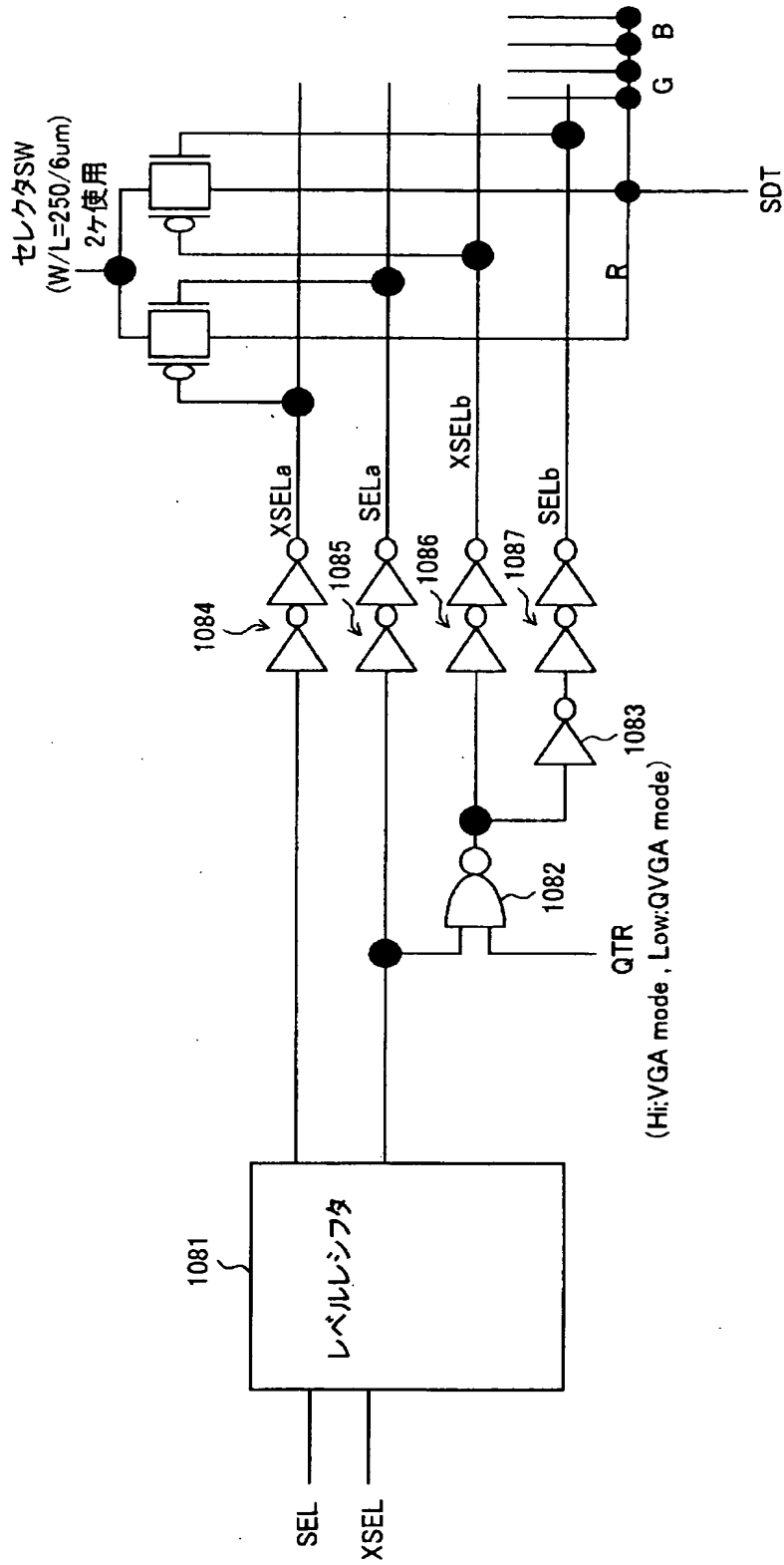


【図 13】

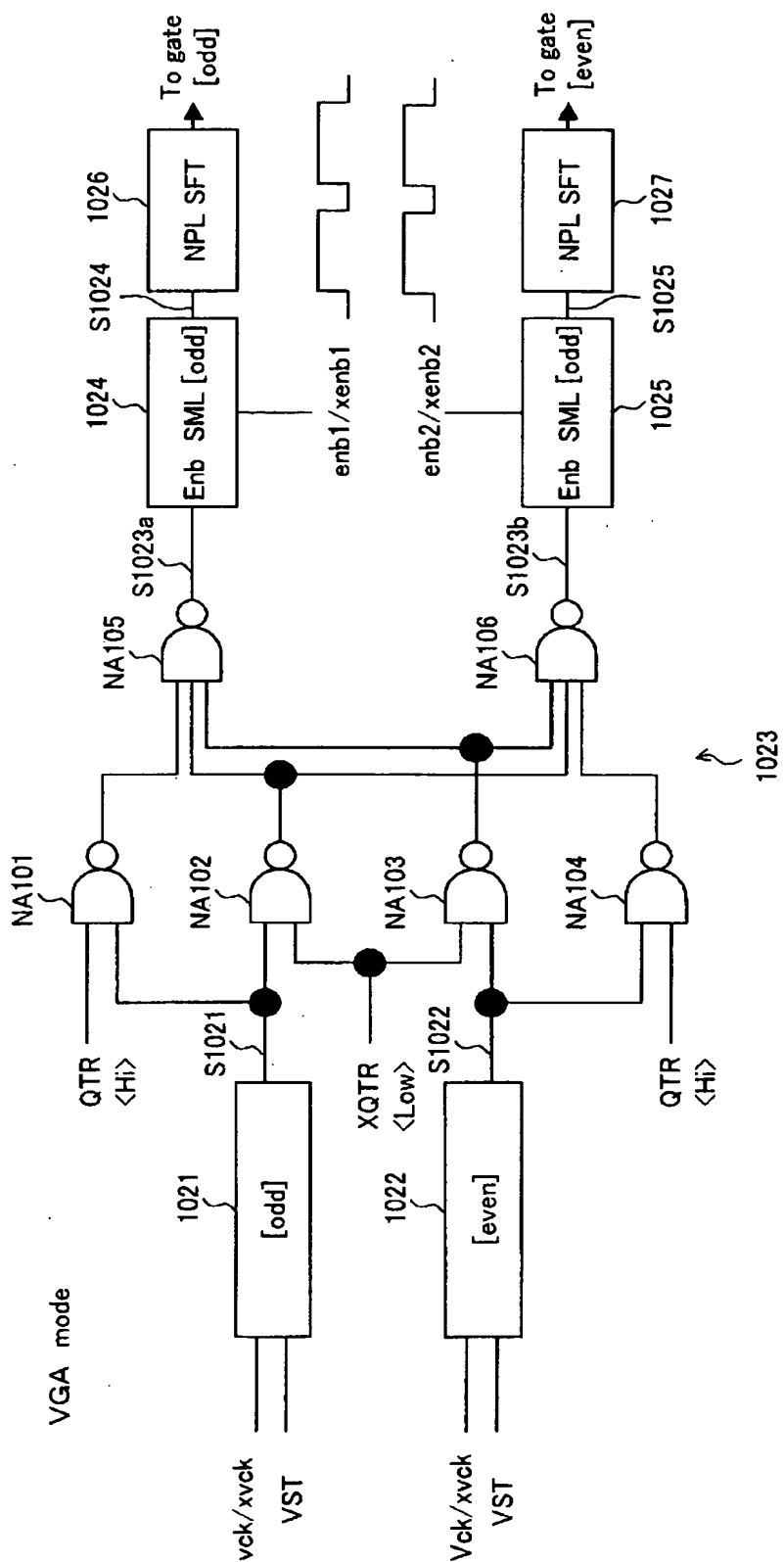


【図 14】

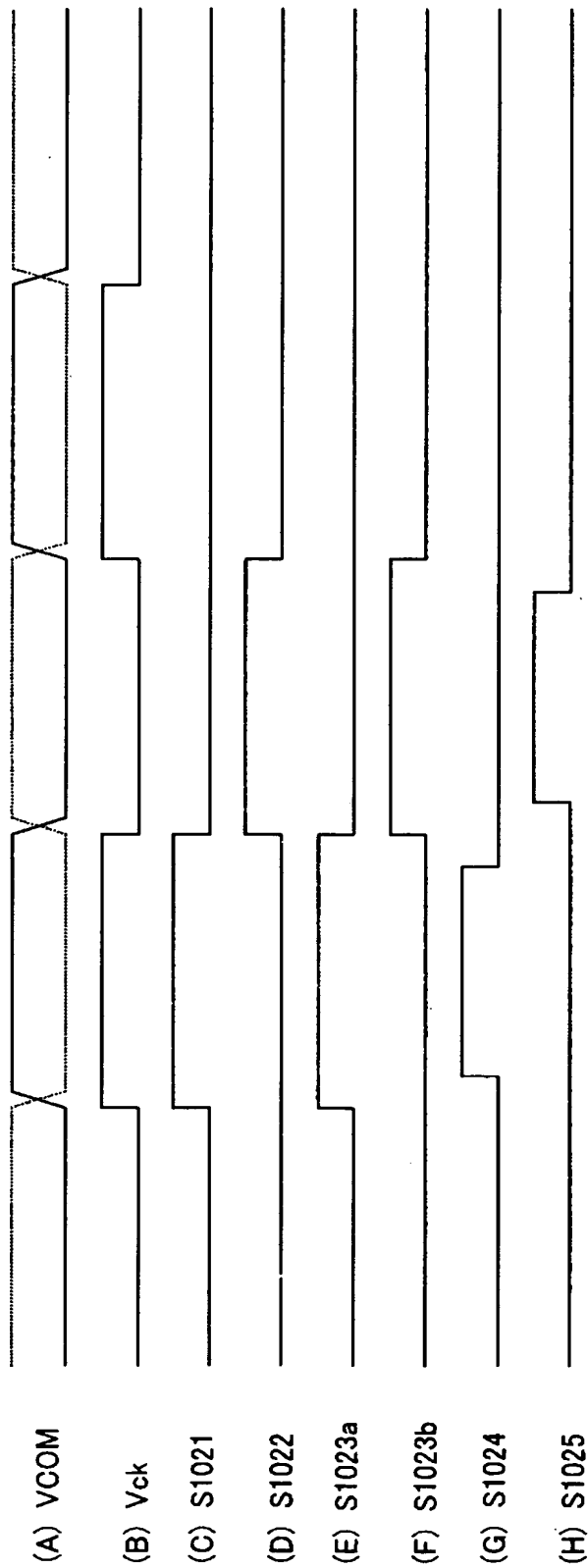
108



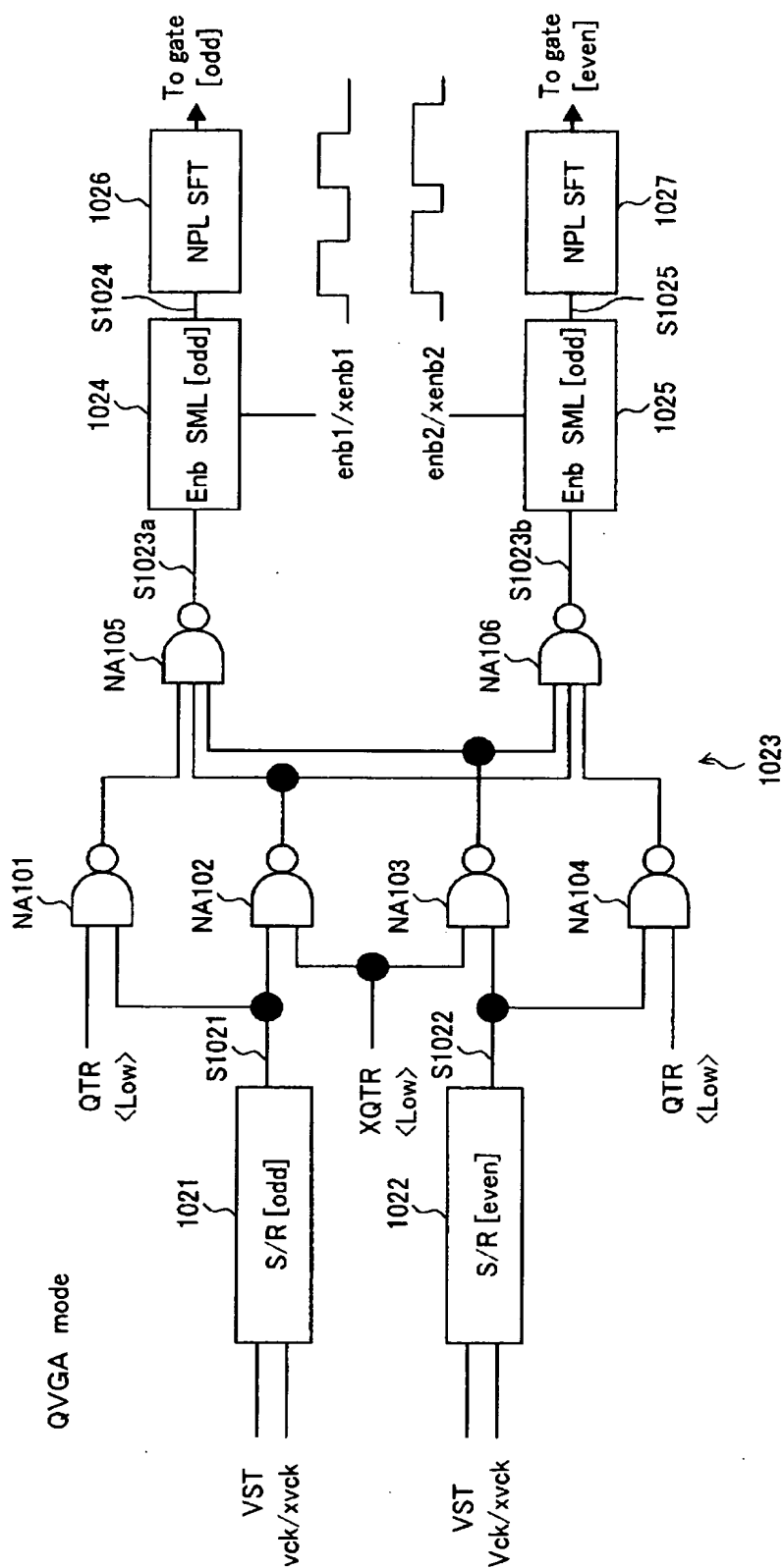
【図 15】



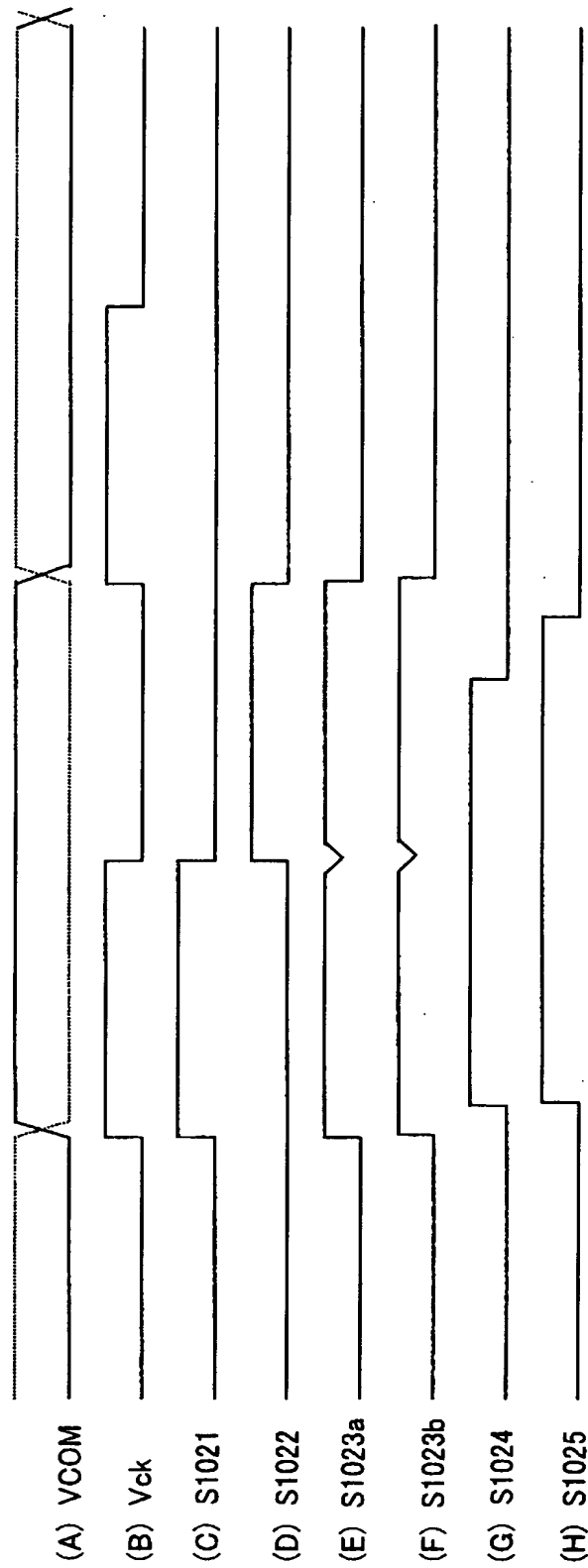
【図 16】



【図 17】



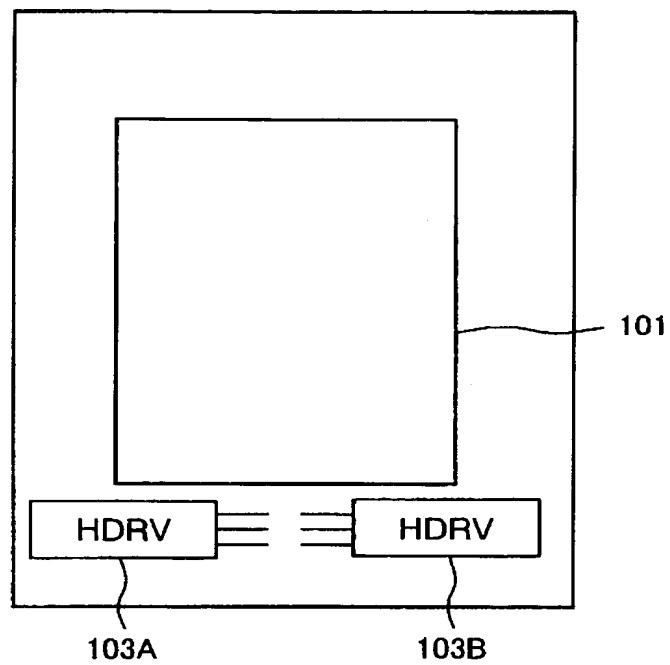
【図 18】



【図 1 9】

		VGAモード	QVGAモード	
			Ref回路	低消費回路
セレクトaSW Trサイズ	W	500um	500um	250um(+250um)
	L	6um	6um	6um
消費電力		8.5mW	4.25mW	2.13mW
信号線書込み τ		0.88usec	0.88usec	1.0usec
セレクトa立下り τ		0.16usec	0.16usec	0.16usec

【図 20】



【書類名】 要約書

【要約】

【課題】複数の解像度に対応した駆動能力を選択でき、用途に応じた駆動を行うことができ、低消費電力化を実現することができる表示装置およびその駆動方法を提供する。

【解決手段】VGAモード時には、各走査ラインを行方向に順に走査パルスにより走査して、走査ラインに接続された各画素回路を1行単位で順次選択する処理を行い、QVGAモード時には、隣接する複数の走査ライン毎に行方向に順に走査パルスにより走査して当該複数の走査ラインに接続された各画素回路を当該複数行単位で順次選択する処理を行う垂直駆動回路102を設ける。

【選択図】 図7

特願 2 0 0 3 - 0 4 1 6 4 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社